

#3

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-261635

(43)公開日 平成9年(1997)10月3日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	7/24		H 0 4 N 7/13	Z
H 0 3 M	7/30	9382-5K	H 0 3 M 7/30	Z
H 0 4 N	1/41		H 0 4 N 1/41	B
	5/92		5/92	H
	7/30		7/133	Z

審査請求 未請求 請求項の数22 O L (全 24 頁) 最終頁に続く

(21)出願番号 特願平8-66227

(22)出願日 平成8年(1996)3月22日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 幡野 喜子

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 大熊 育雄

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 賀井 俊博

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 弁理士 宮田 金雄 (外3名)

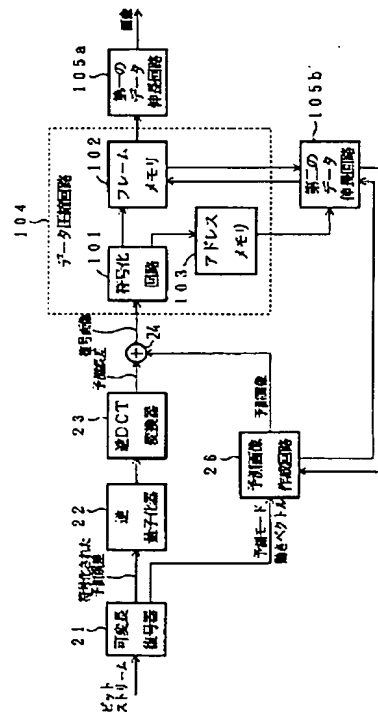
最終頁に続く

(54)【発明の名称】 データ圧縮回路およびデータ伸長回路および動き補償予測復号装置

(57)【要約】

【課題】 参照画像の記憶と復号画像の並び換えのために必要なフレームメモリの容量を削減し、安価な動き補償予測復号装置を得る。

【解決手段】 復号した画像を圧縮するデータ圧縮回路104と、この圧縮されたデータを伸長するデータ伸長回路105a、105bとを備える。



【特許請求の範囲】

【請求項 1】 画像を圧縮するデータ圧縮回路であって、画像を複数画素毎にブロック化してブロック毎に符号化する符号化回路と、この符号化したブロックを記憶するメモリと、このメモリ上のブロックの先頭アドレスを記憶する手段とを備えたことを特徴とするデータ圧縮回路。

【請求項 2】 前記メモリ上のブロックの先頭アドレスを記憶する手段が、あらかじめ定めた定数 N の N ブロック毎に絶対アドレスを記憶する手段と、この N ブロック中の各ブロックの相対アドレスを記憶する手段とを備えたことを特徴とする請求項 1 記載のデータ圧縮回路。

【請求項 3】 前記符号化回路が、あらかじめ定めた定数 N の N ブロック毎に符号量を既定値以下とするレート制御手段を備えるとともに、前記メモリ上のブロックの先頭アドレスを記憶する手段が、上記 N ブロック中の各ブロックの相対アドレスを記憶する手段を備えたことを特徴とする請求項 1 記載のデータ圧縮回路。

【請求項 4】 複数画素毎にブロック化されて各ブロック毎に符号化された画像データを記憶しているメモリから画像を復元するデータ伸長回路であって、上記メモリ上の任意の画像の領域を復元するのに必要なブロックの先頭アドレスを求める手段を備えたことを特徴とするデータ伸長回路。

【請求項 5】 画像を複数画素毎にブロック化して各ブロックに直交変換を施す直交変換回路と、この直交変換回路から出力される各変換係数を量子化する量子化器と、この量子化された変換係数を可変長符号化する可変長符号器と、所定のブロック数毎に上記可変長符号器から出力される符号量を既定値以下にするレート制御手段とを備えたデータ圧縮回路において、上記量子化器が各変換係数に対する量子化ステップ幅を示す複数の量子化テーブルを備え、上記レート制御手段が上記量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って上記量子化器で用いる量子化テーブルを決定するように構成したことを特徴とするデータ圧縮回路。

【請求項 6】 前記レート制御手段が、前記量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って当該量子化器で用いる量子化テーブルを決定するとともに、各ブロックの符号量の目標値を定め、前記可変長符号器から出力される各ブロックの符号量がこの目標値を越えた場合にはそのブロックの変換係数の符号化を打ち切るように構成されたことを特徴とする請求項 5 記載のデータ圧縮回路。

【請求項 7】 前記レート制御手段が、前記量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行うとともに、試算を行った量子化テーブルによる量子化で絶対値が 0 または 1 となる変換係数の個数を計数する手段を備えたことを特徴とする請求項

5 記載のデータ圧縮回路。

【請求項 8】 前記量子化器が、高次シーケンシーの変換係数に対する量子化ビット数を 0 に設定した少なくとも 1 つの量子化テーブルを備えたことを特徴とする請求項 5 記載のデータ圧縮回路。

【請求項 9】 画像を複数画素毎にブロック化して各ブロックに直交変換を施す直交変換回路と、この直交変換回路から出力される各変換係数を量子化する量子化器と、この量子化された変換係数を各成分の低次シーケンシーから順に走査する手段を備えたことを特徴とするデータ圧縮回路。

【請求項 10】 動き補償予測符号化された画像データを復号する手段と、この復号した画像を圧縮するデータ圧縮回路と、この圧縮されたデータを伸長するデータ伸長回路とを備えた動き補償予測復号装置。

【請求項 11】 前記データ圧縮回路が、画像を複数画素毎にブロック化してブロック毎に符号化する符号化回路と、この符号化した各ブロックを記憶するメモリと、このメモリ上の各ブロックの先頭アドレスを記憶する手段とを備えたことを特徴とする請求項 10 記載の動き補償予測復号装置。

【請求項 12】 前記符号化回路が、画像をフィールド内でブロック化するように構成したことを特徴とする請求項 11 記載の動き補償予測復号装置。

【請求項 13】 前記符号化回路が、画像を動き補償の最小単位であるブロックサイズと同じサイズ、または整数分の 1 のサイズのブロックにブロック化するように構成したことを特徴とする請求項 11 記載の動き補償予測復号装置。

【請求項 14】 前記符号化回路が、画像を複数画素毎にブロック化して各ブロックに直交変換を施す直交変換回路と、この直交変換回路から出力される各変換係数を量子化する量子化器と、この量子化された変換係数を可変長符号化する可変長符号器とを備えたことを特徴とする請求項 11 記載の動き補償予測復号装置。

【請求項 15】 前記直交変換がアダマール変換であることを特徴とする請求項 14 記載の動き補償予測復号装置。

【請求項 16】 前記可変長符号器が、各ブロックの変換係数を走査する手段と、走査された変換係数が任意の位置からブロックの終わりまで連続して 0 であるときは、この連続した 0 をブロックの終わりを示すコードに置き換える手段とを備えたことを特徴とする請求項 14 記載の動き補償予測復号装置。

【請求項 17】 前記可変長符号器が、2 次元の変換係数を各成分の低次シーケンシーから順に走査する手段を備えたことを特徴とする請求項 14 記載の動き補償予測復号装置。

【請求項 18】 前記量子化器の各変換係数に対する量子化ステップ幅が 2 のべき乗であることを特徴とする請

10

20

30

40

50

求項 1 4 記載の動き補償予測復号装置。

【請求項 1 9】 前記データ圧縮回路が、画像を複数画素毎にブロック化してブロック毎に符号化する符号化回路と、この符号化したブロックを記憶するメモリと、このメモリ上のブロックの先頭アドレスを記憶する手段を備えるとともに、上記符号化回路が、あらかじめ定めた定数 N の N ブロック毎に符号量を既定値以下とするレート制御手段を備え、また、上記メモリ上のブロックの先頭アドレスを記憶する手段が、N ブロック中の各ブロックの相対アドレスを記憶する手段を備えていることを特徴とする請求項 1 0 記載の動き補償予測復号装置。

【請求項 2 0】 前記符号化回路が、画像を複数画素毎にブロック化して各ブロックに直交変換を施す直交変換回路と、この直交変換回路から出力される各変換係数を量子化する量子化器と、この量子化された変換係数を可変長符号化する可変長符号器と、N ブロック毎に上記可変長符号器から出力される符号量を既定値以下とするレート制御手段とを備えるとともに、上記量子化器が、各変換係数に対する量子化ステップ幅を示す複数の量子化テーブルを備え、上記レート制御手段が前記量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って上記量子化器で用いる量子化テーブルを決定するように構成したことを特徴とする請求項 1 9 記載の動き補償予測復号装置。

【請求項 2 1】 動き補償予測符号化された画像データを復号する復号装置において、復号した画像の一部を圧縮するデータ圧縮回路と、この圧縮されたデータを伸長するデータ伸長回路とを備えたことを特徴とする動き補償予測復号装置。

【請求項 2 2】 動き補償予測符号化された画像データを復号する復号装置において、復号した画像のうち参照画像となる画像を無圧縮で記憶する手段と、参照画像とならない復号画像を圧縮して記憶する手段と、上記圧縮して記憶した復号画像を伸長する手段と、上記無圧縮で記憶した復号画像を圧縮・伸長する手段とを備えたことを特徴とする動き補償予測復号装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 この発明は画像のデータ量を削減するデータ圧縮回路、および、圧縮された画像データを復元するデータ伸長回路、および、動き補償予測符号化された動画を復号する動き補償予測復号装置に関する。

【0 0 0 2】

【従来の技術】 図 2 5 と図 2 6 は、例えば、「最新 M P E G 教科書」（アスキー出版局、p. 1 2 9 ~ 1 5 5）に示された従来の動き補償予測符号化装置および復号装置を示すブロック図である。図 2 5 において、1 は入力画像を記憶するフレームメモリであり、フレームメモリ 1 の出力は減算器 2 の第一の入力に与えられる。減算器

2 の出力は D C T 変換器 3 および量子化器 4 を介して可変長符号器 5 の第一の入力に与えられる。量子化器 4 の出力は、逆量子化器 6 および逆 D C T 変換器 7 を介して、加算器 8 の第一の入力にも与えられる。加算器 8 の出力はフレームメモリ 9 に入力される。

【0 0 0 3】 フレームメモリ 9 の出力は動き検出器 1 0 の第一の入力と予測画像作成回路 1 1 の第一の入力に与えられる。動き検出器 1 0 の第二の入力にはフレームメモリ 1 の出力が与えられる。動き検出器 1 0 の出力は、予測画像作成回路 1 1 の第二の入力と可変長符号器 5 の第二の入力に与えられる。予測画像作成回路 1 1 の第一の出力は、減算器 2 の第二の入力と加算器 8 の第二の入力に与えられる。予測画像作成回路 1 1 の第二の出力は可変長符号器 5 の第三の入力に与えられる。可変長符号器 5 から出力されるビットストリームは、バッファ 1 2 を介して出力される。

【0 0 0 4】 図 2 6 は図 2 5 のように符号化されたビットストリームを復号する復号装置を示すブロック図である。図において、2 1 は入力されたビットストリームを可変長復号する可変長復号器で、可変長復号器 2 1 の第一の出力は、逆量子化器 2 2 および逆 D C T 変換器 2 3 を介して、加算器 2 4 の第一の入力に与えられる。加算器 2 4 の出力はフレームメモリ 2 5 の第一の入力に与えられ、フレームメモリ 2 5 から復号画像が出力される。一方、可変長復号器 2 1 の第二の出力は予測画像作成回路 2 6 の第一の入力に与えられる。予測画像作成回路 2 6 の第一の出力はフレームメモリ 2 5 の第二の入力に与えられ、フレームメモリ 2 5 の第二の出力は予測画像作成回路 2 6 の第二の入力に与えられる。予測画像作成回路 2 6 の第二の出力は加算器 2 4 の第二の入力に与えられる。

【0 0 0 5】 次に動作について説明する。動き補償予測符号化は、動画の時間方向の冗長性を削減する符号化方式として広く用いられている。図 2 7 に動き補償予測符号化方式の概念図を示す。入力画像は例えば 1 6 画素 × 1 6 ラインのマクロブロックに分割され、すでに符号化した画像の復号画像を参照画像として、各マクロブロックに最も近い画像の領域が参照画像の中から探索され、予測画像が作成されるとともに、その予測画像の位置が動きベクトルとして符号化される。図 2 7 (a) は片方向予測の場合を示し、図 2 7 (b) は両方向予測の場合を示している。片方向予測の場合、参照画像はすでに符号化した画像で、入力画像より時間的に前の画像である。両方向予測の場合、参照画像はすでに符号化した画像で、入力画像より時間的に前の画像と後の画像の両方を用いる。

【0 0 0 6】 すなわち、符号化する前に入力画像の順番を入れ替える必要がある。この場合、予測画像は、時間的に前の画像を参照画像としたときの予測画像と、時間的に後の画像を参照画像としたときの予測画像と、これ

らの予測画像の平均をとった画像の3つのうち、予測誤差の少ないものを選ばれる。入力画像と予測画像の差分は、予測誤差として、DCT変換などを用いて符号化される。なお、片方向予測を行う画像をPピクチャと呼び、両方向予測を行う画像をBピクチャと呼ぶ。また、符号化の初期状態や、伝送エラーが起こった場合のために、予測を行わず、画面内で符号化することがある。この画像をIピクチャと呼ぶ。

【0007】以下、図25に従って、動き補償予測符号化装置の動作について詳しく説明する。フレームメモリ1は入力される動画像を記憶し、符号化順に出力する。たとえば、4枚の画像が入力され、第一の画像をIピクチャとして符号化し、第二および第三の画像をBピクチャとして符号化し、第四の画像をPピクチャとして符号化する場合、フレームメモリ1は、第一の画像を最初に出力し、次に第四の画像を出力し、その後、第二、第三の画像を順に出力する。

【0008】フレームメモリ1から出力される画像は、減算器2において、予測画像作成回路11から出力される予測画像との差分が求められる。減算器2から出力される予測誤差は、DCT変換器3と量子化器4により符号化されて、可変長符号器5に入力される。この符号化された予測誤差は、逆量子化器6と逆DCT変換器7により復号される。この復号された予測誤差は、加算器8において、予測画像作成回路11から出力される予測画像と加算される。加算器8から出力される画像は復号画像であり、フレームメモリ9に入力される。

【0009】予測画像は、動き検出器10と予測画像作成回路11から作成される。まず、動き検出器10は、フレームメモリ9に記憶されているすでに符号化した画像の復号画像を参照画像として、フレームメモリ1から出力される画像の動きを検出する。すなわち、フレームメモリ1から出力される画像を16画素×16ラインのマクロブロックに分割して各マクロブロックの動きベクトルを求める。このとき、入力画像がインターレースの2フィールドで構成されたフレームであるときは、フレームの16画素×16ラインに対する動きベクトルを求めるとともに、このマクロブロックを2つのフィールドの16画素×8ラインに分割して2つのフィールドの動きベクトルも求め、フレームの動きベクトルとフィールドの動きベクトルのうち予測誤差の小さい方を選択する。

【0010】予測画像作成回路11は、動き検出器10から出力される動きベクトルをもとに、フレームメモリ9に記憶されている復号画像から予測画像を作成する。たとえば、動き検出器10から出力される動きベクトルが半画素の位置を示している場合は、周辺の4画素から半画素の位置の画素値を計算する。また、フレームメモリ1から出力される画像がBピクチャである場合は、2つの参照画像から2つの予測画像を作成し、さらに、こ

の2つの予測画像の平均画像を作成し、合計3つの予測画像のうち予測歪みの少ないものを選択する。また、画像内符号化を行う場合には、予測画像の画素値をすべて0に設定して出力する。予測画像作成回路11は、上記のように予測画像を作成して出力するとともに、どの予測画像を選択したかを示す予測モードを出力する。

【0011】可変長符号器5は、量子化器4から出力される符号化された予測誤差と、予測画像作成回路11から出力される予測モードと、動き検出器10から出力される動きベクトルをそれぞれ可変長符号化し、重畳してビットストリームとして、バッファ12を介して出力する。

【0012】次に、図26に従って、動き補償予測復号装置の動作について説明する。可変長復号器21には、上記のように符号化されたビットストリームが入力され、可変長復号される。可変長復号器21からは、符号化された予測誤差と予測モードと動きベクトルとが出力される。符号化された予測誤差は、逆量子化器22と逆DCT変換器23により復号され、加算器24において、予測画像作成回路26から出力される予測画像と加算される。加算器24から出力される画像は復号画像であり、フレームメモリ25に入力される。加算器24は符号化順に復号画像を出力するので、フレームメモリ25は、復号画像を入力順すなわち表示順に並び換えて出力する。

【0013】一方、予測画像作成回路26は、可変長復号器21から出力される予測モードと動きベクトルに従い、フレームメモリ25に記憶されている画像から、予測画像を作成する。すなわち、予測モードによって、フレームメモリ25に記憶されている画像のうち参照画像とすべき画像を選択し、さらに動きベクトルにより参照画像内の領域を指定する。フレームメモリ25は、予測画像作成回路26から指定された画像の指定された領域を、予測画像作成回路26へ出力する。予測画像作成回路26は、フレームメモリ25から出力された画像から予測画像を作成する。

【0014】たとえば、動きベクトルが半画素の位置を示している場合は、周辺の4画素から半画素の位置の画素値を計算する。また、予測モードがBピクチャの平均画像である場合は、2つの参照画像から2つの予測画像を作成し、この2つの予測画像の平均画像を作成する。また、予測モードが画像内符号化を示している場合には、予測画像の画素値をすべて0に設定して出力する。

【0015】また、図28と図29は、例えば、「最新MPEG教科書」(アスキー出版局、p. 53~66)に示された従来のデータ圧縮回路およびデータ伸長回路を示している。図において、入力画像はDCT変換器31に与えられ、DCT変換器31の出力は量子化器32の第一の入力に与えられる。量子化器32の第二の入力には量子化テーブル33の出力が与えられる。量子化器

32の出力は可変長符号器34の第一の入力に与えられ、可変長符号器34の第二の入力にはハフマンテーブル35の出力が与えられる。可変長符号器34からは、圧縮データが出力される。

【0016】図29は、図28に示されたデータ圧縮回路から出力される圧縮データを入力とするデータ伸長回路であり、入力された圧縮データは、ハフマンテーブル41と量子化テーブル42と可変長復号器43の第一の入力に与えられる。可変長復号器43の第二の入力には、ハフマンテーブル41の出力が与えられる。可変長復号器43の出力は逆量子化器44の第一の入力に与えられ、逆量子化器44の第二の入力には量子化テーブル42の出力が与えられる。逆量子化器44の出力は逆DCT変換器45を介して出力される。

【0017】次に動作について説明する。図28は直交変換を用いた画像内符号化により、画像を圧縮するデータ圧縮回路である。直交変換は、画像を周波数成分に分解すると、画像の周波数が低域に集中するという性質を利用して、画像を圧縮する符号化方式として広く用いられている。本従来例も直交変換を用いた符号化であり、直交変換としてDCT変換を用いている。まず、入力画像は、DCT変換器31において8画素×8ラインのブロックに分割され、DCT変換されて、変換係数が出力される。この変換係数は量子化器32で量子化される。このとき、量子化器32は、各変換係数の量子化ステップ幅を定めた量子化テーブル33を参照し、この量子化ステップ幅に従って量子化を行う。

【0018】量子化された変換係数は、可変長符号器34で可変長符号化される。すなわち、量子化された変換係数は、図30に示したジグザグスキャンにより走査され、連続する0の数とその後の非零の係数の値とが、2次元ハフマン符号により符号化されて出力される。可変長符号器34は、このようにして圧縮したデータに、量子化テーブルのデータとハフマンテーブルのデータを付け加えて出力する。

【0019】図29は、上記のように圧縮されたデータを伸長するデータ伸長回路である。入力された圧縮データのうち、ハフマンテーブルのデータはハフマンテーブル41に輸入され、量子化テーブルのデータは量子化テーブル42に輸入され、他のデータは可変長復号器43に輸入される。可変長復号器43は、ハフマンテーブル41を参照して復号を行い、量子化された変換係数を出力する。この変換係数は逆量子化器44で逆量子化され、逆DCT変換器45で変換されて、伸長された画像となって出力される。

【0020】

【発明が解決しようとする課題】従来の動き補償予測復号装置は、参照画像の記憶と復号画像の並び換えのために、メモリを数フレーム分必要とするので、コストが高くなるという問題があった。

【0021】一般に、フレームメモリを削減する手段として、画像内符号化を行うデータ圧縮回路があるが、従来のデータ圧縮回路で画像を圧縮した場合、画像内の任意の位置の領域のみを復号することができないという問題があった。

【0022】また、従来のデータ圧縮回路では、符号量の上限が決まっている場合、発生符号量が上限値以下となるまで、量子化テーブルを変えて符号化を繰り返さなければならないという問題があった。

10 【0023】また、従来のデータ伸長回路は、画像内の任意の位置の領域のみを復号することができないという問題があった。

【0024】この発明は上記のような問題点の解消を目的としてなされたもので、必要なメモリが少なく安価な動き補償予測復号装置を得ることを目的とする。

【0025】また、画像内の任意の位置の領域のみを復号することができるデータ圧縮回路を得ることを目的とする。

20 【0026】また、符号量制御に必要な処理時間が短く、ハードウェア規模も小さいデータ圧縮回路を得ることを目的とする。

【0027】また、画像内の任意の位置の領域のみを復号することができるデータ伸長回路を得ることを目的とする。

【0028】

【課題を解決するための手段】第1の発明に係るデータ圧縮回路は、画像を複数画素毎にブロック化してブロック毎に符号化する符号化回路と、符号化したブロックを記憶するメモリと、このメモリ上のブロックの先頭アドレスを記憶する手段とを備えたものである。

30 【0029】第2の発明は、第1の発明のデータ圧縮回路において、前記メモリ上のブロックの先頭アドレスを記憶する手段が、あらかじめ定めた定数NのNブロック毎に絶対アドレスを記憶する手段と、このNブロック中の各ブロックの相対アドレスを記憶する手段とを備えたものである。

40 【0030】第3の発明は、第1の発明のデータ圧縮回路において、前記符号化回路が、予め定めた定数NのNブロック毎に符号量を既定値以下とするレート制御を備えたとともに、前記メモリ上のブロックの先頭アドレスを記憶する手段が、上記Nブロック中の各ブロックの相対アドレスを記憶する手段を備えたものである。

【0031】第4の発明に係るデータ伸長回路は、複数画素毎にブロック化されて各ブロック毎に符号化された画像データを記憶しているメモリから画像を復元するデータ伸長回路であって、上記メモリ上の任意の画像の領域を復元するのに必要なブロックの先頭アドレスを求める手段を備えたものである。

50 【0032】第5の発明に係るデータ圧縮回路は、画像を複数画素毎にブロック化して各ブロックに直交変換を

施す直交変換回路と、この直交変換回路から出力される各変換係数を量子化する量子化器と、この量子化された変換係数を可変長符号化する可変長符号器と、所定のブロック数毎に上記可変長符号器から出力される符号量を既定値以下とするレート制御手段と、上記量子化器が各変換係数に対する量子化ステップ幅を示す複数の量子化テーブルとを備え、上記レート制御手段が上記量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って上記量子化器で用いる量子化テーブルを決定するようにしたものである。

【0033】第6の発明は、第5の発明のデータ圧縮回路において、前記レート制御手段が、前記量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って上記量子化器で用いる量子化テーブルを決定するとともに、各ブロックの符号量の目標値を定め、前記可変長符号器から出力される各ブロックの符号量がこの目標値を越えた場合にはそのブロックの変換係数の符号化を打ち切るように構成されたものである。

【0034】第7の発明は、第5の発明のデータ圧縮回路において、前記レート制御手段が、前記量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行うとともに、試算を行った量子化テーブルによる量子化で絶対値が0または1となる変換係数の個数を計数する手段を備えたものである。

【0035】第8の発明は、第5の発明のデータ圧縮回路において、前記量子化器が、少なくとも1つの高次シーケンシーの変換係数に対する量子化ビット数を0に設定した量子化テーブルを備えたものである。

【0036】第9の発明に係るデータ圧縮回路は、画像を複数画素毎にブロック化して各ブロックに直交変換を施す直交変換回路と、この直交変換回路から出力される各変換係数を量子化する量子化器と、この量子化された変換係数を各成分の低次シーケンシーから順に走査する手段とを備えたものである。

【0037】第10の発明に係る動き補償予測復号装置は、動き補償予測符号化された画像データを復号する手段と、この復号した画像を圧縮するデータ圧縮回路と、この圧縮されたデータを伸長するデータ伸長回路とを備えたものである。

【0038】第11の発明は、第10の発明の動き補償予測復号装置において、前記データ圧縮回路が、画像を複数画素毎にブロック化してブロック毎に符号化する符号化回路と、この符号化した各ブロックを記憶するメモリと、このメモリ上の各ブロックの先頭アドレスを記憶する手段とを備えたものである。

【0039】第12の発明は、第11の発明の動き補償予測復号装置において、前記符号化回路が画像をフィールド内でブロック化するように構成したものである。

【0040】第13の発明は、第11の発明の動き補償予測復号装置において、前記符号化回路が、画像を動き

補償の最小単位であるブロックサイズと同じサイズ、または整数分の1のサイズのブロックにブロック化するように構成したものである。

【0041】第14の発明は、第11の発明の動き補償予測復号装置において、前記符号化回路が、画像を複数画素毎にブロック化して各ブロックに直交変換を施す直交変換回路と、この直交変換回路から出力される各変換係数を量子化する量子化器と、この量子化された変換係数を可変長符号化する可変長符号器を備えたものである。

【0042】第15の発明は、第14の発明の動き補償予測復号装置において、前記直交変換をアダマール変換としたものである。

【0043】第16の発明は、第14の発明の動き補償予測復号装置において、前記可変長符号器が、各ブロックの変換係数を走査する手段と、走査された変換係数が任意の位置からブロックの終わりまで連続して0であるときは、この連続した0をブロックの終わりを示すコードに置き換える手段とを備えたものである。

【0044】第17の発明は、第14の発明の動き補償予測復号装置において、前記可変長符号器が、2次元の変換係数を各成分の低次シーケンシーから順に走査する手段を備えたものである。

【0045】第18の発明は、第14の発明の動き補償予測復号装置において、前記量子化器の各変換係数に対する量子化ステップ幅を2のべき乗としたものである。

【0046】第19の発明は、第10の発明の動き補償予測復号装置において、前記データ圧縮回路が、画像を複数画素毎にブロック化してブロック毎に符号化する符号化回路と、この符号化したブロックを記憶するメモリと、このメモリ上のブロックの先頭アドレスを記憶する手段とを備えるとともに、上記符号化回路が、あらかじめ定めた定数NのNブロック毎に符号量を既定値以下とするレート制御手段を備え、また上記メモリ上のブロックの先頭アドレスを記憶する手段が、Nブロック中の各ブロックの相対アドレスを記憶する手段を備えたものである。

【0047】第20の発明は、第19の発明の動き補償予測復号装置において、上記符号化回路が、画像を複数画素毎にブロック化して各ブロックに直交変換を施す直交変換回路と、この直交変換回路から出力される各変換係数を量子化する量子化器と、この量子化された変換係数を可変長符号化する可変長符号器と、Nブロック毎に上記可変長符号器から出力される符号量を既定値以下とするレート制御手段とを備えるとともに、上記量子化器が、各変換係数に対する量子化ステップ幅を示す複数の量子化テーブルを備え、上記レート制御手段が、上記量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って上記量子化器で用いる量子化テーブルを決定するように構成したものである。

【0048】第21の発明に係る動き補償予測復号装置は、復号した画像の一部を圧縮するデータ圧縮回路と、この圧縮されたデータを伸長するデータ伸長回路とを備えたものである。

【0049】第22の発明に係る動き補償予測復号装置は、復号した画像のうち参照画像となる画像を無圧縮で記憶する手段と、参照画像とならない復号画像を圧縮して記憶する手段と、上記圧縮して記憶した復号画像を伸長する手段と、上記無圧縮で記憶した復号画像を圧縮・伸長する手段とを備えたものである。

【0050】

【発明の実施の形態】第1の発明に係るデータ圧縮回路は、画像を複数画素毎にブロック化し、ブロック毎に符号化を行ってメモリに記憶するとともに、メモリ上のブロックの先頭アドレスを記憶する。

【0051】第2の発明は、第1の発明のデータ圧縮回路において、メモリ上のブロックの先頭アドレスを記憶する際に、あらかじめ定めた定数NのNブロックについて1ブロックは絶対アドレスで記憶し、他のブロックは相対アドレスで記憶する。

【0052】第3の発明は、第1の発明のデータ圧縮回路において、あらかじめ定めた定数NのNブロック毎に符号量が既定値以下となるようにレート制御を行い、メモリ上のブロックの先頭アドレスを記憶する際に、Nブロック中の各ブロックの相対アドレスのみを記憶する。

【0053】第4の発明に係るデータ伸長回路は、ブロック毎に符号化された画像データを記憶しているメモリから画像を復元する際に、外部から指定された画像の領域を復元するのに必要なブロックの先頭アドレスを求め、必要なブロックのみを伸長する。

【0054】第5の発明に係るデータ圧縮回路は、画像を複数画素毎にブロック化して各ブロック毎に直交変換を施し、この変換係数を量子化して可変長符号化する。このとき、所定のブロック数毎に、可変長符号化されて出力される符号量が既定値以下となるようにレート制御を行う。このレート制御は、量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って当該量子化器で用いる量子化テーブルを決定する。

【0055】第6の発明は、第5の発明のデータ圧縮回路において、前記レート制御が、量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って量子化器で用いる量子化テーブルを決定するとともに、各ブロックの符号量の目標値を定め、可変長符号化されて出力される各ブロックの符号量がこの目標値を越えた場合にはそのブロックの変換係数の符号化を打ち切る。

【0056】第7の発明は、第5の発明のデータ圧縮回路において、前記レート制御が、量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試

算を行うとともに、試算を行った量子化テーブルによる量子化で絶対値が0または1となる変換係数の個数を計数する。

【0057】第8の発明は、第5の発明のデータ圧縮回路において、量子化器が、高次シーケンシーの変換係数に対する量子化ビット数を0に設定することにより任意のブロックの符号量が既定値以下となるような量子化テーブルを備え、上記レート制御の試算の結果、符号量が非常に多いと判断されたブロックに対しては、この量子化テーブルを用いて量子化する。

【0058】第9の発明に係るデータ圧縮回路は、画像を複数画素毎にブロック化し、各ブロックに直交変換を施し、変換係数を量子化し、この量子化された変換係数を各成分の低次シーケンシーから順に走査する。

【0059】第10の発明に係る動き補償予測復号装置は、復号画像を圧縮して記憶し、復号画像を参照ないし出力するときに、この圧縮されたデータを伸長する。

【0060】第11の発明は、第10の発明の動き補償予測復号装置において、復号画像を複数画素毎にブロック化し、ブロック毎に符号化して、メモリに記憶するとともに、メモリ上のブロックの先頭アドレスを記憶する。

【0061】第12の発明は、第11の発明の動き補償予測復号装置において、復号画像をフィールド内でブロック化して符号化する。

【0062】第13の発明は、第11の発明の動き補償予測復号装置において、復号画像を、動き補償の最小単位であるブロックサイズと同じサイズ、または整数分の1のサイズのブロックにブロック化して符号化する。

【0063】第14の発明は、第11の発明の動き補償予測復号装置において、復号画像を複数画素毎にブロック化して各ブロックに直交変換を施し、変換係数を量子化して可変長符号化する。

【0064】第15の発明は、第14の発明の動き補償予測復号装置において、直交変換としてアダマール変換を用いる。

【0065】第16の発明は、第14の発明の動き補償予測復号装置において、各ブロックの量子化された変換係数を走査し、走査された変換係数が任意の位置からブロックの終わりまで連続して0であるとき、この連続した0をブロックの終わりを示すコードに置き換えて可変長符号化する。

【0066】第17の発明は、第14の発明の動き補償予測復号装置において、2次元のブロックの変換係数を、各成分の低次シーケンシーから順に走査し、可変長符号化する。

【0067】第18の発明は、第14の発明の動き補償予測復号装置において、各変換係数に対する量子化ステップ幅を2のべき乗とする。

【0068】第19の発明は、第10の発明の動き補償

予測復号装置において、復号画像を複数画素毎にブロック化し、ブロック毎に符号化してメモリに記憶する。このとき、あらかじめ定めた定数NのNブロック毎に符号量が既定値以下となるようにレート制御を行い、Nブロック中の各ブロックの相対アドレスを記憶する。

【0069】第20の発明は、第19の発明の動き補償予測復号装置において、復号画像を複数画素毎にブロック化して各ブロックに直交変換を施し、変換係数を量子化して可変長符号化する。このとき、Nブロック毎に、可変長符号化されて出力される符号量が既定値以下となるようにレート制御を行う。このレート制御は、量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って量子化器で用いる量子化テーブルを決定する。

【0070】第21の発明に係る動き補償予測復号装置は、復号画像の一部を圧縮して記憶し、復号画像を参照または出力するとき、この圧縮されたデータを伸長する。

【0071】第22の発明は、復号した画像のうち参照画像となる画像は無圧縮で記憶し、参照画像とならない復号画像は圧縮して記憶するとともに、上記無圧縮で記憶した復号画像を出力するときには圧縮・伸長を行なって出力し、上記圧縮された復号画像を出力するときには圧縮データを伸長して出力する。

【0072】以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

実施の形態1. 図1はこの発明の実施形態1の動き補償予測復号装置を示すブロック図で、図26と同一符号はそれぞれ同一または相当部分を示す。図1において、21は入力されたビットストリームを可変長復号する可変長復号器であり、可変長復号器21の第一の出力は、逆量子化器22および逆DCT変換器23を介して加算器24の第一の入力に与えられる。加算器24の出力は符号化回路101に入力され、符号化回路101の第一の出力はフレームメモリ102の第一の入力に与えられ、符号化回路101の第二の出力はアドレスメモリ103に入力される。フレームメモリ102の第一の出力は第一のデータ伸長回路105aに入力され、第一のデータ伸長回路105aから復号画像が出力される。

【0073】一方、可変長復号器21の第二の出力は予測画像作成回路26の第一の入力に与えられる。予測画像作成回路26の第一の出力は第二のデータ伸長回路105bの第一の入力に与えられる。第二のデータ伸長回路105bの第二の入力にはアドレスメモリ103の出力が与えられ、第二のデータ伸長回路105bの第一の出力はフレームメモリ102の第二の入力に与えられる。フレームメモリ102の第二の出力は、第二のデータ伸長回路105bの第三の入力に与えられ、第二のデータ伸長回路105bの第二の出力は予測画像作成回路26の第二の入力に与えられる。予測画像作成回路26

の第二の出力は加算器24の第二の入力に与えられる。なお、上記符号化回路101とフレームメモリ102とアドレスメモリ103は、データ圧縮回路104を構成する。

【0074】図2は、上記符号化回路101を示すブロック図である。図において、201は加算器24の出力を入力とする直交変換回路であり、直交変換回路201の出力は量子化器202の第一の入力に与えられる。量子化器202の第二の入力にはレート制御回路203の出力が与えられ、量子化器202の出力は可変長符号器204に入力される。可変長符号器204の出力はフレームメモリ102の第一の入力とレート制御回路203の入力に与えられる。可変長符号器204の出力はアドレス作成回路205にも入力され、アドレス作成回路205の出力はアドレスメモリ103に入力される。

【0075】図3は、上記第一のデータ伸長回路105aを示すブロック図である。図において、301aはフレームメモリ102の第一の出力を入力とする可変長復号器であり、可変長復号器301aの出力は、逆量子化器302aと逆直交変換回路303aを介して出力される。

【0076】また、図4は上記第二のデータ伸長回路105bを示すブロック図である。図において、予測画像作成回路26の第一の出力はアドレス演算回路401の第一の入力に与えられる。アドレス演算回路401の第二の入力にはアドレスメモリ103の出力が与えられる。アドレス演算回路401の出力はフレームメモリ102の第二の入力に与えられ、フレームメモリ102の第二の出力は可変長復号器301bに入力される。可変長復号器301bの出力は、逆量子化器302bと逆直交変換回路303bを介して、予測画像作成回路26の第二の入力へ与えられる。

【0077】次に動作について説明する。図1は、図25のような動き補償予測符号化装置によって符号化されたビットストリームを復号する復号装置である。入力されたビットストリームは、可変長復号器21で可変長復号される。可変長復号器21からは、符号化された予測誤差と予測モードと動きベクトルとが出力される。符号化された予測誤差は、逆量子化器22と逆DCT変換器23により復号され、加算器24において、予測画像作成回路26から出力される予測画像と加算される。加算器24から出力される画像は復号画像であり、データ圧縮回路104は、この画像を圧縮して記憶する。加算器24は符号化順に復号画像を出力するので、データ圧縮回路104は圧縮データを表示順に並び換えて出力する。第一のデータ伸長回路105aは、この出力を伸長して画像を出力する。

【0078】一方、予測画像作成回路26は、可変長復号器21から出力される予測モードと動きベクトルに従い、予測画像を作成する。すなわち、予測モードによつ

て、データ圧縮回路 104 に記憶されている画像のうち参照画像とすべき画像を選択し、さらに動きベクトルにより参照画像内の領域を指定する。第二のデータ伸長回路 105 b は、予測画像作成回路 26 から指定された画像の指定された領域を伸長するのに必要な圧縮データのアドレスを求め、そのデータをデータ圧縮回路 104 から読みだして伸長を行い、予測画像作成回路 26 へ出力する。

【0079】予測画像作成回路 26 は、第二のデータ伸長回路 105 b から出力された画像から予測画像を作成する。例えば、動きベクトルが半画素の位置を示している場合は、周辺の 4 画素から半画素の位置の画素値を計算する。また、予測モードが B ピクチャの平均画像である場合は、2 つの参照画像から 2 つの予測画像を作成し、この 2 つの予測画像の平均画像を作成する。また、予測モードが画像内符号化を示している場合には、予測画像の画素値をすべて 0 に設定して出力する。

【0080】以下、図 1、図 2 に基づいて、データ圧縮回路 104 の動作について、詳しく説明する。加算器 24 から出力された画像は、直交変換回路 201 において複数画素毎にブロック化され、直交変換される。加算器 24 は、動き補償の単位である 16 画素×16 ラインのマクロブロック毎に画像を出力するので、直交変換回路 201 におけるブロック化は、このマクロブロックと同一サイズ、または整数分の 1 のサイズのブロックに分割することにより、ハードウェアの構成を簡化できる。

【0081】また、入力画像がインターレースの 2 フィールドで構成されたフレームであるときは、マクロブロックを 2 つのフィールドの 16 画素×8 ラインに分割し、それぞれで動き補償を行うモードがあるので、直交変換回路 201 におけるブロック化をフィールドで行うことにより、後で述べるように、第二のデータ伸長回路 105 b で指定された画像領域の伸長を行うときに、必要なブロック数が少なくて済む。したがって、直交変換回路 201 は、たとえば、輝度信号をフィールドの 8 画素×8 ラインに分割する。色差信号については、入力信号が 4 : 2 : 0 信号の場合、動き補償の最小単位がフィールドの 8 画素×4 ラインとなるので、フィールドの 8 画素×4 ラインに分割する。

【0082】直交変換回路 201 における直交変換としては、例えばアダマール変換を用いる。アダマール変換は、図 5 に示したような 1 と -1 のみを要素とするアダマール行列で表わされる。すなわち、8 画素×8 ラインのブロックの場合、まず水平方向の 8 画素を、8 次のアダマール行列に掛け、得られた変換係数を 8 ラインずつまとめ、再び 8 次のアダマール行列に掛けることで、8×8 の 2 次元の変換係数が得られる。これは、水平方向、垂直方向を、それぞれ図 5 のような基底ベクトルに分解することに相当する。各基底ベクトルが 0 を横切る回数はシーケンシーと呼ばれる。シーケンシーは周波数

に対応し、シーケンシーが高い係数は高周波成分を多く含む。画像は一般に低周波成分にパワーが集中するので、アダマール変換などの直交変換を行うと、シーケンシーの低い係数にパワーが集中する。直交変換回路 201 は、変換係数を、水平、垂直方向ともシーケンシー順に並び換えて出力する。

【0083】直交変換回路 201 から出力される変換係数は、量子化器 202 で量子化される。量子化器 202 は、各変換係数に対する量子化ステップ幅を示す複数の量子化テーブルを備え、レート制御回路 203 から指定された量子化テーブルに従って量子化を行う。レート制御回路 203 は、可変長符号器 204 から出力される圧縮データの符号量を検出し、発生符号量に従って量子化テーブルを決定する。量子化器 202 の量子化ステップ幅がすべて 2 のべき乗である場合、量子化テーブルは量子化ステップ幅の代わりに量子化ビット数を記憶すればよい。量子化テーブルの一例を図 6 に示す。

【0084】量子化された変換係数は可変長符号器 204 で可変長符号化される。例えば、量子化された変換係数は、まず、図 7 のような順で走査され、走査された各変換係数は、その値を示すハフマン符号に変換されて出力される。ただし、走査された変換係数は、0 か否か判定され、ある位置からブロックの終わりまで連続して 0 であるとき、この連続した 0 はブロックの終わりを示すコード (EOB) に置き換えられて、EOB を示すハフマン符号が出力される。

【0085】すなわち、例えば輝度信号の変換係数が図 8 のようになっている場合、250、40、-10、0、4、0、0、1、-3、12、7、0、2、3、0、21、5、0、0、0、0、0、-8 を順にハフマン符号に置き換え、次に EOB を示すハフマン符号を出力する。水平または垂直シーケンシーの高い係数は、パワーが小さいため、量子化により 0 となることが多いので、このように符号化することにより、ハフマン符号の数を減少させることができる。特に、アダマール変換を行なうと、図 9 のように水平・垂直の高次シーケンシーを頂点とした四角形の領域の変換係数が 0 となる傾向が強いので、図 7 のような走査をすれば、最後に 0 が続く確率が高く、ハフマン符号の数を削減することができる。なお、可変長符号器 204 は、量子化器 202 が選択した量子化テーブルを示す番号も、同時に符号化する。

【0086】可変長符号器 204 から出力される圧縮データは、フレームメモリ 102 に記憶される。また、アドレス作成回路 205 は、可変長符号器 204 から出力される圧縮データの符号量を検出し、フレームメモリ 102 内の各ブロックの圧縮データの先頭アドレスを求める。この先頭アドレスはアドレスメモリ 103 に記憶される。

【0087】フレームメモリ 102 は、各フレームの圧

縮データを表示順に並び換えて、第一のデータ伸長回路105aに出力する。また、フレームメモリ102は、第二のデータ伸長回路105bから指定されたアドレスの圧縮データを、第二のデータ伸長回路105bへ出力する。

【0088】次に、図3に基づいて、第一のデータ伸長回路105aについて詳しく説明する。フレームメモリ102から出力された圧縮データは、可変長復号器301aで可変長復号される。すなわち、各ハフマン符号から変換係数の値を求め、ハフマン符号がEOBを示している場合は、その変換係数からブロックの終わりまでの変換係数を0として出力する。この変換係数は逆量子化器302aで逆量子化され、逆直交変換回路303aで逆変換される。直交変換回路201がアダマール変換である場合、逆変換も同じアダマール変換である。

【0089】最後に、図4に基づいて、第二のデータ伸長回路105bについて詳しく説明する。予測画像作成回路26から出力された参照画像の指定は、アドレス演算回路401に入力される。アドレス演算回路401は、指定された画像の指定された領域を復元するのに必要なブロックを求める。すなわち、輝度信号はフィールドの8画素×8ラインのブロック、色差信号はフィールドの8画素×4ラインのブロックを単位として、圧縮されて、フレームメモリ102に記憶されているので、指定された領域を復元するには、いくつかのブロックの圧縮データを伸長することが必要になる。

【0090】例えば、フィールドの16画素×8ライン単位の動き補償が選択されている場合、各フィールドの予測画像を作るのに、図10のように、輝度信号は6個、色差信号は4個のブロックが必要となる。また、フレームの16画素×16ライン単位の動き補償が選択されている場合も、各フィールドについて16画素×8ラインの領域が必要となるので、やはり輝度信号は6個、色差信号は4個のブロックが必要となる。また、予測モードがBピクチャの平均画像である場合は、各参照画像の各フィールドについて、輝度信号は6個、色差信号は4個のブロックが必要となる。

【0091】アドレス演算回路401は、アドレスメモリ103を参照して、指定された領域を復元するのに必要なブロックのアドレスを求める。フレームメモリ102は、このアドレスの圧縮データを出力する。出力された圧縮データは、可変長符号器301b、逆量子化器302b、逆直交変換回路303bで復号され、予測画像作成回路26へ出力される。これら可変長符号器301b、逆量子化器302b、逆直交変換回路303bの動作は、それぞれ可変長符号器301a、逆量子化器302a、逆直交変換回路303aの動作と同じである。

【0092】上記実施の形態1においては、フレームメモリ102とアドレスメモリ103を別々に用意したが、フレームメモリ102とアドレスメモリ103は、

同じメモリのアドレスを切り分けて使う構成としてもよい。

【0093】また、上記実施の形態1においては、直交変換回路201は、アダマール変換を行い、水平、垂直方向ともシーケンシー順に並び換えて出力するとしたが、図11のように、あらかじめシーケンシー順に並び換えたアダマール行列を使ってもよい。また、直交変換回路201で行う直交変換はアダマール変換に限らず、ハール変換、DCTなどを用いてもよい。

【0094】さらに、可変長符号器204は図7のような順で変換係数の走査を行うとしたが、走査順はこれに限らず、従来のように図30のジグザグスキャンを用いてもよい。

【0095】また、可変長符号器204は、ブロックの終わりまで連続する0係数をEOBに置き換え、他の係数はその値を示すハフマン符号を出力するとしたが、変換係数の符号化方法はこれに限らず、0の個数とその後の非零の係数値の組を符号化するランレングス符号化を用いてもよい。

【0096】実施の形態2. 上記実施の形態1においては、データ圧縮回路104が各ブロックの圧縮データの先頭アドレスを記憶するとしたが、実施の形態2に係るデータ圧縮回路104では、Nブロック(N:自然数)毎に絶対アドレスを記憶し、他のブロックについてはNブロック中の相対アドレスを記憶するよう構成する。例えば、1フレームが720画素×480ラインの輝度信号と360画素×240ラインの2つの色差信号からなる場合、上記実施の形態1のように輝度信号はフィールドで8画素×8ラインのブロック、色差信号はフィールドで8画素×4ラインのブロックに分割して符号化すると、1フレームの総ブロック数は10800個となる。データ圧縮回路104の圧縮率を例えば1/3に設定すると、1フレームの符号量は1.32Mbitとなるので、フレームメモリ上の各ブロックの先頭アドレスを示すには、21bit必要となる。したがって、上記実施の形態1で説明したように各ブロックの先頭アドレスを記憶すると、1フレームについて、221.5kbitのアドレスメモリが必要となる。

【0097】そこで、Nブロック毎に絶対アドレスを記憶し、他のブロックについてはNブロック中の相対アドレスを記憶するよう構成すれば、アドレスメモリを削減できる。以下、Nブロックの大きさをフィールド毎の1マクロブロックとする場合について説明する。1マクロブロックをフィールドに分けると、輝度信号は16画素×8ライン、色差信号は8画素×4ラインとなるので、フィールド毎の1マクロブロックには、図12のように輝度信号2個、色差信号2個の計4個のブロックが含まれる。そこで、各マクロブロックの先頭アドレスは絶対アドレスで記憶し、マクロブロック内の2番目以降のブロックはマクロブロックの先頭アドレスからの相対アド

レスで記憶する。

【0098】1フレームをフィールド毎にマクロブロックに分割すると、2700個のマクロブロックとなる。各マクロブロックの先頭アドレスは絶対アドレスで示すので、21bit必要である。一方、マクロブロック内の2番目以降のブロックの総数は、 $10800 - 2700 = 8100$ 個である。圧縮率を1/3としているので、1マクロブロックの符号量は512bitであり、各ブロックの相対アドレスは9bitで示される。したがって、アドレスメモリは、合計で、 $2700 \times 21 + 8100 \times 9 = 126,600$ bit必要となり、アドレスメモリの容量を削減できる。

【0099】なお、上記実施の形態2においては、Nブロックの大きさをフィールド毎の1マクロブロックとしたが、Nの大きさはこれに限るものではなく、複数マクロブロック毎に絶対アドレスを記憶するよう構成してもよい。

【0100】実施の形態3. 上記実施の形態2においては、データ圧縮回路104がNブロック(N:自然数)毎に絶対アドレスを記憶し、他のブロックについてはNブロック中の相対アドレスを記憶するよう構成したが、実施の形態3に係るデータ圧縮回路104は、データ圧縮回路104がNブロック毎に符号量を既定値以下とするレート制御を備え、Nブロック中の各ブロックの相対アドレスのみを記憶するよう構成したものである。

【0101】例えば、Nブロックの大きさをフィールド毎の1マクロブロックとする場合、マクロブロック毎に符号量が既定値以下となるよう制御すれば、マクロブロック番号から各マクロブロックの先頭アドレスは算出できるので、マクロブロック内の2番目以降のブロックの相対アドレスのみを記憶すればよい。この場合、 $8100 \times 9 = 71,200$ bitに、アドレスメモリの容量を削減できる。

【0102】実施の形態4. この発明の実施の形態4に係るデータ圧縮回路104は、Nブロックの大きさをM個(M:自然数)のマクロブロックとし、Mマクロブロック中の各マクロブロックの相対アドレスを記憶するとともに、各マクロブロック内の各ブロックの相対アドレスを記憶するよう構成したものである。

【0103】例えば、Mマクロブロックをフィールド毎の5マクロブロックとする場合、5マクロブロック毎に符号量が既定値以下となるよう制御するとともに、5マクロブロック中の2番目以降のマクロブロックの相対アドレスを記憶する。この場合、マクロブロック番号とこの相対アドレスにより、各マクロブロックの先頭アドレスが算出できる。さらに、各マクロブロック内の2番目以降のブロックの相対アドレスを記憶することにより、各ブロックの先頭アドレスが算出できる。圧縮率を1/3とした場合、5マクロブロックの符号量は2560bitであり、各マクロブロックの相対アドレスは12b

itで表わされる。また、5マクロブロック中の2番目以降のマクロブロックの数は、 $2700 / 5 \times 4 = 2160$ 個である。一方、各マクロブロック内の2番目以降のブロックの数および相対アドレスを示すのに必要なビット数は上記と同じである。したがって、アドレスメモリの容量は合計で、 $2160 \times 12 + 8100 \times 9 = 96,500$ bitとなる。この場合、レート制御の単位を大きくできるので、画質劣化を伴うことなく、アドレスメモリの容量を削減できる。

10 【0104】実施の形態5. 図13は、この発明の実施の形態5に係るデータ圧縮回路104を示すブロック図で、図2と同一符号はそれぞれ同一または相当部分を示す。図において、201は加算器24の出力を入力とする直交変換回路であり、直交変換回路201の出力は量子化器202の第一の入力と試算回路1201の入力に与えられる。量子化器202の第二の入力には試算回路1201の第一の出力が与えられる。量子化器202の出力は打ち切り回路1202の第一の入力に与えられる。打ち切り回路1202の第二の入力には試算回路1201の第二の出力が与えられる。打ち切り回路1202の出力は可変長符号器204に入力される。可変長符号器204の出力はフレームメモリ102の第一の入力と打ち切り回路1202の第三の入力に与えられる。可変長符号器204の出力はアドレス作成回路205にも入力され、アドレス作成回路205の出力はアドレスメモリ103に入力される。なお、上記試算回路1201と上記打ち切り回路1202はレート制御回路203aを構成している。

30 【0105】次に動作について説明する。加算器24から入力される画像は、直交変換回路201において、複数画素毎にブロック化され、直交変換される。この直交変換回路201の動作は実施の形態1と同様であり、たとえば、輝度信号をフィールドの8画素×8ラインに、色差信号はフィールドの8画素×4ラインにそれぞれ分割し、アダマール変換で変換し、変換係数を出力する。直交変換回路201から出力される変換係数は、量子化器202で量子化される。量子化器202は、各変換係数に対する量子化ステップ幅を示す複数の量子化テーブルを備え、試算回路1201から指定された量子化テーブルに従って量子化を行う。量子化器202の量子化ステップ幅がすべて2のべき乗である場合、量子化テーブルは図6のように量子化ビット数を記憶すればよい。

50 【0106】試算回路1201は、量子化器202が備えている量子化テーブルより少ない数の量子化テーブルを備え、それぞれの量子化テーブルで変換係数の量子化を行い、発生符号量を試算する。そして、この試算結果に基づいて量子化テーブルを決定するとともに、決定された量子化テーブルを選択したときの各ブロックの予想発生符号量または符号量の目標値も出力する。量子化された変換係数は打ち切り回路1202に入力される。打

ち切り回路 1 2 0 2 は、可変長符号器 2 0 4 から出力される各ブロックの発生符号量を検出し、発生符号量が試算回路 1 2 0 1 から出力された目標値を越えたときに、そのブロックの当該係数以降の係数を 0 とする。

【0 1 0 7】例えば、5 マクロブロック毎に符号量が 1 / 3、すなわち 2 5 6 0 b i t 以下となるよう制御する場合について説明する。量子化器 2 0 2 が備えている量子化テーブルは、図 1 4 の 6 種類であるとする。試算回路 1 2 0 1 は、このうち第 1、第 5、第 6 の量子化テーブルの 3 種類だけを備える。試算回路 1 2 0 1 は、これら第 1、第 5、第 6 量子化テーブルで量子化を行い、それぞれの量子化係数を符号化したときの符号量を 5 マクロブロック毎に求める。いま、5 マクロブロックの符号量の試算結果が、第 1 の量子化テーブルで 3 9 5 0 b i t、第 5 の量子化テーブルで 1 9 5 0 b i t、第 6 の量子化テーブルで 1 7 4 8 b i t であったとする。

【0 1 0 8】試算回路 1 2 0 1 は、試算を行わなかった量子化テーブルについて、発生符号量を予測する。一般に、図 1 4 のような量子化テーブルを用いて係数の量子化を行うと、量子化テーブルの番号が増えるにつれ発生符号量は単調減少する。しかも、第 1 と第 2 の量子化テーブル、第 3 と第 4 の量子化テーブル、および、第 5 と第 6 の量子化テーブルは、それぞれシーケンシーの高い係数の量子化ビット数だけが異なるので、図 1 5 のように階段状に近い形になる。そこで、上記の試算結果をもとに、次のようにして、試算を行わなかった量子化テーブルの発生符号量を予測する。まず、第 3 の量子化テーブルについては、第 1 の量子化テーブルと第 5 の量子化テーブルの平均をとり、2 9 5 0 b i t とする。また、第 1 の量子化テーブルと第 2 の量子化テーブルの差は、第 5 の量子化テーブルと第 6 の量子化テーブルの差より大きいと考えられるので、第 2 の量子化テーブルの発生符号量は、

(第 1 の量子化テーブルの符号量) - (第 5 と第 6 の量子化テーブルの符号量の差) = 3 9 5 0 - (1 9 5 0 - 1 7 4 8) = 3 7 4 8 (b i t)

と予測する。同様に、第 3 と第 4 の量子化テーブルの差は、第 5 と第 6 の量子化テーブルの差より大きいと考えられるので、第 4 の量子化テーブルの発生符号量は、

(第 3 の量子化テーブルの符号量) - (第 5 と第 6 の量子化テーブルの符号量の差) = 2 9 5 0 - (1 9 5 0 - 1 7 4 8) = 2 7 4 8 (b i t)

と予測する。以上の試算結果と予測結果から、符号量を既定値 2 5 6 0 b i t 以下とするためには、第 5 の量子化テーブルを選択することになる。

【0 1 0 9】さらに、試算回路 1 2 0 1 は、このように決定した第 5 の量子化テーブルを選択したときの各ブロックの予想発生符号量も出力する。すなわち、上記符号量は 5 マクロブロック分であるが、各マクロブロックは図 1 2 のように 4 つのブロックから成っているため、各

ブロック別の符号量を打ち切り回路 1 2 0 2 へ出力する。また、選択した量子化テーブルが試算を行わなかった量子化テーブルである場合も、上記と同様に、各ブロック毎に符号量の予測を行い、予想発生符号量を出力する。なお、選択した量子化テーブルで発生する予想発生符号量と既定値の差が大きい場合には、この差を各ブロックの予想発生符号量に分配し、各ブロックの符号量の目標値とする。つまり、上記の例では、選択した第 5 の量子化テーブルで発生する符号量は 1 9 5 0 b i t で、既定値とは 6 1 0 b i t の差があるので、この 6 1 0 b i t を 5 マクロブロック内の 2 0 個のブロックの発生符号量に比例配分し、各ブロックの符号量の目標値とする。第 6 の量子化テーブルで試算した符号量が既定値を越える場合も、同様にして、差を発生符号量に比例配分し、合計が既定値以下となるように、各ブロックの符号量の目標値を定める。予想発生符号量が既定値に等しい場合には、各ブロックの予想発生符号量をそのまま符号量の目標値とする。

【0 1 1 0】試算回路 1 2 0 1 で選択した量子化テーブルが、試算を行わなかった量子化テーブルである場合、決定に用いた発生符号量はあくまで予測値であるので、実際に可変長符号器 2 0 4 から出力される符号量は、必ずしも既定値以下とならない。そこで、打ち切り回路 1 2 0 2 は、可変長符号器 2 0 4 から出力される各ブロックの発生符号量を検出し、発生符号量が試算回路 1 2 0 1 から出力された符号量の予測値を越えたときには、そのブロックの変換係数の符号化を打ち切る。すなわち、変換係数は図 7 のように走査されてハフマン符号化されるので、この走査順で符号量の目標値を越えた変換係数以降の変換係数は 0 とする。この打ち切り回路 1 2 0 2 により、試算を行わない量子化テーブルがあっても、発生符号量は必ず既定値以下となる。また、量子化テーブルの決定は 5 マクロブロック単位で行うが、打ち切りはブロック単位で行うので、打ち切りによる画質劣化が少ない。

【0 1 1 1】打ち切り回路 1 2 0 2 から出力される変換係数は、可変長符号器 2 0 4 で可変長符号化される。可変長符号器 2 0 4、アドレス作成回路 2 0 5、フレームメモリ 1 0 2、アドレスメモリ 1 0 3 の動作は、上記実施の形態 1 と全く同様である。

【0 1 1 2】なお、上記実施の形態 5 においては、5 マクロブロック毎に符号量を既定値以下とするよう制御を行うとしたが、レート制御の単位はこれに限らず、任意のブロック数毎に制御を行うよう構成することができる。また、量子化器 2 0 2 が備えている量子化テーブルは、図 1 4 の 6 種類であるとしたが、量子化テーブルはこれに限らず、何種類でも、任意の特性の量子化テーブルで、同様の動作を行うことができる。

【0 1 1 3】また、試算回路 1 2 0 1 は 3 種類の量子化テーブルを備えるとしたが、試算回路 1 2 0 1 が備える

量子化テーブルの数はこれに限らず、量子化器202が備える量子化テーブルより少ない任意の数の量子化テーブルで、同様の動作を行うことができる。

【0114】さらに、試算回路1201は試算した量子化テーブルの発生符号量から、試算しなかった量子化テーブルの発生符号量を線形予測で予測したが、予測方法はこれに限らず、例えば、図15の量子化テーブル発生符号量のグラフを2次近似し、2次関数により予測を行うよう構成してもよい。

【0115】また、試算回路1201は、予想発生符号量と既定値の差を、各ブロックの予想発生符号量に比例配分し、各ブロックの符号量の目標値とするとしたが、この差の配分は比例配分に限らず、全ブロックに均等配分、または輝度信号のブロックだけに比例配分してもよい。

【0116】実施の形態6. 図16は、この発明の実施の形態6に係るデータ圧縮回路104を示すブロック図で、図2と同一符号はそれぞれ同一または相当部分を示す。図において、201は加算器24の出力を入力とする直交変換回路であり、直交変換回路201の出力は量子化器202の第一の入力と試算回路1501の入力に与えられる。試算回路1501の第一の出力はカウンタ1502に入力される。試算回路1501の第二の出力は判定器1503の第一の入力に与えられ、判定器1503の第二の入力にはカウンタ1502の出力が与えられる。判定器1503の出力は量子化器202の第二の入力に与えられる。量子化器202の出力は可変長符号器204に入力される。可変長符号器204の出力はフレームメモリ102の第一の入力とアドレス作成回路205の入力に与えられる。アドレス作成回路205の出力はアドレスメモリ103に入力される。なお、上記試算回路1501と上記カウンタ1502と上記判定器1503はレート制御回路203bを構成している。

【0117】次に動作について説明する。直交変換回路201、量子化器202、可変長符号器204、アドレス作成回路205、フレームメモリ102およびアドレスメモリ103は、上記実施の形態1と全く同様であるので、説明を省略し、レート制御回路203bについて説明する。試算回路1501は、量子化器202が備えている量子化テーブルより少ない数の量子化テーブルを備え、それぞれの量子化テーブルで変換係数の量子化を行い、発生符号量を試算する。試算回路1501は、この試算結果を判定器1503へ出力する。また、試算回路1501は、各量子化テーブルで量子化した変換係数をカウンタ1502へ出力する。カウンタ1502は各量子化テーブルで量子化された変換係数のうち、絶対値が0または1である係数の数を数える。判定器1503は、試算回路1501から出力される試算結果と、カウンタ1502から出力される絶対値が0または1の係数の数とから、試算しなかった量子化テーブルによる発生

符号量を予測し、この予測結果と、入力された試算結果とから、量子化器202で選択する量子化テーブルを決定する。

【0118】例えば、5マクロブロック毎に符号量が1/3、すなわち2560bit以下となるよう制御する場合について説明する。量子化器202が備えている量子化テーブルは、図14の6種類と図17の1種類の計7種類であるとする。試算回路1501は、このうち第1、第3、第5の量子化テーブルの3種類だけを備える。試算回路1501は、これら第1、第3、第5の量子化テーブルで量子化を行い、それぞれ量子化された変換係数を符号化したときの符号量を5マクロブロック毎に求める。いま、5マクロブロックの符号量の試算結果が、第1の量子化テーブルで3950bit、第3の量子化テーブルで2875bit、第5の量子化テーブルで1950bitであったとする。

【0119】試算しなかった量子化テーブルのうち、第2、第4、第6の量子化テーブルは、それぞれ、第1、第3、第5の量子化テーブルと、シーケンシーの高い係数の量子化ビット数が1ビット減少している点異なる。一般に、量子化された変換係数の値は0近辺に集中するので、可変長符号器204で用いられるハフマン符号は、図18に示すように、変換係数の絶対値が小さいほど短い符号を持ち、その符号の長さは変換係数の絶対値に対して指数関数的に増える。したがって、量子化ビット数が1ビット減ると、量子化された変換係数の値が1/2となるので、ハフマン符号の長さは少なくとも1ビット減少する。ただし、もともと量子化された変換係数値が0である場合は、量子化ビット数を減らしても符号長は変わらない。また、もともと量子化された変換係数値が1である場合も、量子化が四捨五入である場合は、量子化ビット数を1ビット減らしても値は1のまま、符号長が変わらない場合がある。以上のことから、量子化ビット数を1ビット減少させると、もとの量子化値の絶対値が0または1でない係数は、必ず符号長が1ビット以上減少する。すなわち、ブロック全体としては、少なくとも、量子化値の絶対値が0または1でない係数の数だけ符号量が減少することになる。

【0120】そこで、例えば第2の量子化テーブルの場合、第1の量子化テーブルと比べるとシーケンシーの高い係数の量子化ビット数が1ビット減少しているので、この部分の係数で量子化値が0または1となる係数の数を数える。いま、5マクロブロックで、その数が87個であったとすると、シーケンシーの高い係数は全部で $(6 \times 6 + 2 \times 6) \times 2 \times 5 = 480$ 個であるから、量子化値の絶対値が0または1でない係数の数は、 $480 - 87 = 393$ 個である。したがって、第2の量子化テーブルは、第1の量子化テーブルよりも符号量が少なくとも393bit減少する。そこで、第2の量子化テーブルの発生符号量を、 $3950 - 393 = 3557$ bit

tと予測する。

【0121】同様に、第3、第5の量子化テーブルで量子化したとき、シーケンシーの高い係数で量子化値の絶対値が0または1となる係数の数を数える。この数が、それぞれ、93個、117個であったとすると、このとき、第4の量子化テーブルの発生符号量を $2875 - (480 - 93) = 2488 \text{ bit}$ 、第6の量子化テーブルの発生符号量を $1950 - (480 - 117) = 1587 \text{ bit}$ と予測する。

【0122】以上の試算結果と予測結果から、符号量を既定値 2560 bit 以下とするためには、第4の量子化テーブルを選択することになる。なお、この場合、試算しなかった量子化テーブルについては、発生しうる最大符号量を予測発生符号量としたので、実際に可変長符号器204から出力される符号量は必ず既定値以下となる。

【0123】図19ないし図21は、これを実験により確認した結果を示す図で、図19は、ある画像1フレーム分について、第2の量子化テーブルの予測発生符号量と実際の発生符号量を求めてプロットしたものである。図20は、同様に、第4の量子化テーブルの予測発生符号量と実際の発生符号量をプロットしたものである。また、図21は、第6の量子化テーブルの予測発生符号量と実際の発生符号量をプロットしたものである。これらの図からも、実際の発生符号量が必ず予測発生符号量以下となることがわかる。したがって、実施の形態5で用いた打ち切り回路1202は、この実施の形態6では不要となる。ただし、上記第6の量子化テーブルを用いても符号量が既定値以下とならない場合のために、どのようなブロックでも必ず符号量が既定値以下となる第7の量子化テーブルを量子化器202に備える。これにより、第6の量子化テーブルの試算結果が既定値を越える場合には、第7の量子化テーブルを選択することで、打ち切りを行わなくても、必ず符号量は既定値以下となる。

【0124】ところで、どのようなブロックが入力されても符号量を $1/3$ 以下とするためには、1係数あたりの平均ビット数を2.7ビットにしなければならない。可変長符号器204は、DC係数を固定長符号で、AC係数を図18のようなハフマン符号で符号化するので、すべての係数を符号化するならば、量子化ビット数が1ビットであっても、符号量 $1/3$ を保証することはできない。なぜなら、すべての量子化係数値が1という場合、1係数あたりのビット数が3ビットとなってしまうからである。

【0125】そこで、第7の量子化テーブルは、図17のように、シーケンシーの高い係数は強制的に0に置き換えて0ビットとし、シーケンシーの高い係数を符号化しないことで、他の係数の量子化ビット数を増やすことができるのである。図17に示したように、第7の量子

化テーブルは、輝度信号のDC係数を7ビット、色差信号のDC係数を6ビット、シーケンシーの低いAC係数を3ビットに量子化する。この場合、図18からシーケンシーの低いAC係数は最大5ビットで表わされることがわかる。シーケンシーの高い係数はすべて0なので、EOB1個で表わされる。したがって、第7の量子化テーブルで量子化を行うと、1ブロックあたりの発生符号量は、輝度信号で $7 + 5 \times 27 + 5 = 147 \text{ bit}$ 、色差信号で $6 + 5 \times 19 + 5 = 106 \text{ bit}$ となる。よって、1マクロブロックの符号量は 506 bit となり、符号量は $1/3$ 以下に圧縮される。

【0126】なお、上記実施の形態6においては、5マクロブロック毎に符号量を既定値以下とするように制御を行うとしたが、レート制御の単位はこれに限らず、任意のブロック数毎に制御を行うように構成することができる。

【0127】また、量子化器202が備えている量子化テーブルは、図14と図17の7種類であるとしたが、量子化テーブルはこれに限らず、何種類でも、任意の特性の量子化テーブルで、同様の動作を行うことができる。特に、量子化テーブルは線形量子化だけでなく、非線形量子化を既定するものであってもよい。たとえば、上記第7の量子化テーブルにおいて、AC係数の3ビットの量子化は、4ビットの線形量子化を行って、-8から7の範囲の値を得た後、その値を-4から3にクリップするような量子化であってもよい。

【0128】実施の形態7. 上記実施の形態6においては、試算回路1501が3種類の量子化テーブルを備えるとしたが、試算回路1501が備える量子化テーブルの数はこれに限らず、量子化器202が備える量子化テーブルより少ない任意の数の量子化テーブルで、同様の動作を行うことができる。たとえば、試算回路1501が図14の第1と第4の量子化テーブルの2種類だけを備えるとする。5マクロブロックの符号量の試算結果が、第1の量子化テーブルで 3950 bit 、第4の量子化テーブルで 2432 bit であったとする。また、第1の量子化テーブルで量子化したとき量子化値が0または1となる係数の数が、シーケンシーの高い係数で87個、シーケンシーの低いAC係数で13個あったとする。また、第4の量子化テーブルで量子化したとき量子化値が0または1となる係数の数が、シーケンシーの高い係数で103個、シーケンシーの低いAC係数で34個あったとする。

【0129】第2の量子化テーブルについては、上記実施の形態6と同様に、発生符号量は 3557 bit と予測する。第3の量子化テーブルは、第1の量子化テーブルと比べるとすべてのAC係数の量子化ビット数が1ビット減少している。AC係数は全部で $(63 + 31) \times 2 \times 5 = 940$ 個であるから、第1の量子化テーブルにおいて、量子化値の絶対値が0または1でないAC係数

の数は、 $940-87-13=840$ 個である。したがって、第3の量子化テーブルの発生符号量を、 $3950-840=3110$ bitと予測する。

【0130】また、第5の量子化テーブルは、第4の量子化テーブルと比べると、シーケンシーの低いAC係数の量子化ビット数が1ビット減少している。シーケンシーの低いAC係数は全部で $940-(6\times 6+2\times 6)\times 2\times 5=460$ 個であり、これらの係数のうち第4の量子化テーブルによる量子化値の絶対値が0または1でない係数の数は、 $460-34=426$ 個である。したがって、第5の量子化テーブルの発生符号量を、 $2432-426=2006$ bitと予測する。

【0131】さらに、第6の量子化テーブルは、第4の量子化テーブルと比べるとすべてのAC係数の量子化ビット数が1ビット減少している。第4の量子化テーブルにおいて、量子化値の絶対値が0または1でないAC係数の数は、 $940-103-34=803$ 個である。したがって、第6の量子化テーブルの発生符号量を、 $2432-803=1629$ bitと予測する。以上の試算結果と予測結果から、符号量を既定値2560 bit以下とするためには、第4の量子化テーブルを選択することになる。

【0132】なお、上記実施の形態6および7においては、量子化値の絶対値が0または1となる係数の個数を数えるとしたが、量子化器が端数を切り捨てる場合は、量子化値が0となる係数の個数を数えるよう構成すればよい。

【0133】実施の形態8. 上記実施の形態1においては、動き補償予測復号した画像をすべてデータ圧縮したが、復号画像の一部をデータ圧縮するよう構成してもよい。図22は、この発明の実施の形態8に係る動き補償予測復号装置を示すブロック図で、復号画像のうちBピクチャだけをデータ圧縮するよう構成したものである。図中、図1および図26と同一符号はそれぞれ同一または相当部分を示す。図22において、21は入力されたビットストリームを可変長復号する可変長復号器であり、可変長復号器21の第一の出力は、逆量子化器22および逆DCT変換器23を介して、加算器24の第一の出力に与えられる。加算器24の出力は第一の切替器2201aに入力される。第一の切替器2201aの第一の出力はデータ圧縮回路104aに入力され、データ圧縮回路104aの出力はフレームメモリ102aとデータ伸長回路105aを介して、第二の切替器2201bの第一の出力に与えられる。第二の切替器2201aの第二の出力は第一のフレームメモリ25の第一の出力に与えられ、第一のフレームメモリ25の第一の出力は第二の切替器2201bの第二の出力に与えられる。第二の切替器2201bからは復号画像が出力される。

【0134】一方、可変長復号器21の第二の出力は予測画像作成回路26の第一の出力に与えられる。予測画

像作成回路26の第一の出力は第一のフレームメモリ25の第二の出力に与えられる。第二のフレームメモリ25の第二の出力は、予測画像作成回路26の第二の出力に与えられる。予測画像作成回路26の第二の出力は加算器24の第二の出力に与えられる。

【0135】図23は、上記データ圧縮回路104aを示すブロック図で、図2と同一符号はそれぞれ同一部分を示す。図において、201は第一の切替器2201aの第一の出力を入力とする直交変換回路であり、直交変換回路201の出力は量子化器202の第一の出力に与えられる。量子化器202の第二の出力にはレート制御回路203の出力が与えられ、量子化器202の出力は可変長符号器204に入力される。可変長符号器204の出力は第二のフレームメモリ102aへ出力されるとともに、レート制御回路203の出力に与えられる。

【0136】次に動作について説明する。入力されたビットストリームは可変長復号器21で可変長復号され、符号化された予測誤差と予測モードと動きベクトルとが出力される。符号化された予測誤差は、逆量子化器22と逆DCT変換器23により復号され、加算器24において、予測画像作成回路26から出力される予測画像と加算される。加算器24から出力される復号画像は、切替器2201aにより、Bピクチャのときはデータ圧縮回路104aに入力され、IピクチャまたはPピクチャのときは第一のフレームメモリ25に入力される。データ圧縮回路104aは、復号されたBピクチャを圧縮し、第二のフレームメモリ102aへ出力する。データ圧縮回路104aの各部の動作は実施の形態1の符号化回路101と同様である。第二のフレームメモリ102aは、圧縮データを表示順に並び換えて出力する。データ伸長回路105aは、この出力を伸長して切替器2201bへ出力する。データ伸長回路105aの動作は実施の形態1と全く同様である。

【0137】第一の切替器2201aから出力されたIピクチャまたはPピクチャは、無圧縮で第一のフレームメモリ25に記憶される。第一のフレームメモリ25は、画像を表示順に並び換えて第二の切替器2201bへ出力する。第二の切替器2201bは、画像が表示順に並ぶように、データ伸長回路105aの出力と第一のフレームメモリ25の出力を切り替えて出力する。

【0138】一方予測画像作成回路26は、可変長復号器21から出力される予測モードと動きベクトルに従い、第一のフレームメモリ25に記憶されている画像から予測画像を作成する。すなわち、予測モードによってフレームメモリ25に記憶されている画像のうち参照画像とすべき画像を選択し、さらに動きベクトルにより参照画像内の領域を指定する。第一のフレームメモリ25は、予測画像作成回路26から指定された画像の指定された領域を予測画像作成回路26へ出力する。予測画像作成回路26は、第一のフレームメモリ25から出力さ

れた画像から予測画像を作成する。たとえば、動きベクトルが半画素の位置を示している場合は、周辺の4画素から半画素の位置の画素値を計算する。また、予測モードがBピクチャの平均画像である場合は、2つの参照画像から2つの予測画像を作成し、この2つの予測画像の平均画像を作成する。また、予測モードが画像内符号化を示している場合には、予測画像の画像値をすべて0に設定して出力する。

【0139】上記実施の形態8においては、Bピクチャのみを圧縮し、参照画像として用いるIピクチャとPピクチャは無圧縮で記憶するよう構成したので、データ圧縮による歪みの蓄積を避けることができる。しかし、圧縮する復号画像はハードウェアのメモリの大きさに応じて、例えば、参照画像として使うIピクチャとPピクチャを圧縮し、Bピクチャを圧縮しないように構成することもできる。

【0140】実施の形態9。図24は、この実施の形態9に係る動き補償予測復号装置を示すブロック図で、図22と同一符号はそれぞれ同一または相当部分を示しており、104bは第一のフレームメモリ25の第一の出力を入力とする第二のデータ圧縮回路である。この実施の形態9は、第一のフレームメモリ25の出力を、第二のデータ圧縮回路104bで圧縮し、第二のフレームメモリ102aの出力と第二のデータ圧縮回路104bの出力を切り替えてデータ伸長回路105aに入力している点が実施の形態8と異なる。第二のデータ圧縮回路104bの構成は図23に示した第一の圧縮回路104aと全く同様である。

【0141】この実施の形態9においては、復号画像のうちBピクチャは圧縮して記憶し、参照画像として使うIピクチャとPピクチャは無圧縮で記憶するが、表示される画像の画質を揃えるため、IピクチャとPピクチャも最終的に出力する前に、Bピクチャと同じ圧縮・伸長を行うものである。

【0142】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0143】第1の発明によるデータ圧縮回路は、画像を複数画素毎にブロック化し、ブロック毎に符号化を行って、メモリに記憶するとともに、メモリ上のブロックの先頭アドレスを記憶するので、指定したブロックだけを伸長することができる。

【0144】第2の発明は、第1の発明のデータ圧縮回路において、メモリ上のブロックの先頭アドレスを記憶する際に、あらかじめ定めた定数NのNブロック毎に1ブロックは絶対アドレスで記憶し、他のブロックは相対アドレスで記憶するので、アドレス用メモリの容量を削減することができる。

【0145】第3の発明は、第1の発明のデータ圧縮回路において、あらかじめ定めた定数Nについて、Nプロ

ック毎に符号量が既定値以下となるようにレート制御を行うので、メモリ上のブロックの先頭アドレスを記憶する際に、Nブロック中の各ブロックの相対アドレスのみを記憶すればよく、アドレス用メモリの容量を削減することができる。

【0146】第4の発明によるデータ伸長回路は、メモリ上の任意の画像の領域を復元するのに必要なブロックの先頭アドレスを求める手段を有するので、必要なブロックのみを伸長することができ、指定された画像の領域をすばやく復元することができる。

【0147】第5の発明によるデータ圧縮回路は、画像を複数画素毎にブロック化して各ブロックに直交変換を施し、その変換係数を量子化して可変長符号化するデータ圧縮において、量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行い、その試算結果により量子化器で用いる量子化テーブルを決定するレート制御手段を構成したので、レート制御手段のハードウェアの規模を小さくすることができる。

【0148】第6の発明は、第5の発明のデータ圧縮回路において、上記レート制御手段を、量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って量子化器で用いる量子化テーブルを決定するとともに、各ブロックの符号量の目標値を定め、可変長符号化されて出力される各ブロックの符号量がこの目標値を超えた場合にはそのブロックの変換係数の符号化を打ち切るように構成したので、必ず符号量を既定値以下にすることができる。

【0149】第7の発明は、第5の発明のデータ圧縮回路において、上記レート制御手段を、量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行うとともに、試算を行った量子化テーブルによる量子化で絶対値が0または1となる変換係数の個数を計数するように構成したので、少ない試算で確実に符号量を既定値以下にすることができる。

【0150】第8の発明は、第5の発明のデータ圧縮回路において、量子化器が、高次シーケンシーの変換係数に対する量子化ビット数を0に設定することにより任意のブロックの符号量が既定値以下となるような量子化テーブルを備え、上記レート制御手段の試算の結果、符号量が非常に多いと判断されたブロックに対しては、この量子化テーブルを用いて量子化するので、打ち切り回路が不要となり、ハードウェアの規模を小さくできる。

【0151】第9の発明によるデータ圧縮回路は、画像を複数画素毎にブロック化して各ブロックに直交変換を施し、その変換係数を量子化してこの量子化された変換係数を各成分の低次シーケンシーから順に走査するように構成したのでブロックの終わりに0が連続する確率が高くなり、高い圧縮率を実現することができる。

【0152】第10の発明による動き補償予測復号装置は、復号画像を圧縮して記憶するので、フレームメモリ

の容量を削減することができる。

【0153】第11の発明は、第10の発明の動き補償予測復号装置において、復号画像を複数画素毎にブロック化し、ブロック毎に符号化して、メモリに記憶するとともに、メモリ上のブロックの先頭アドレスを記憶するように構成したので、参照画像を任意の領域のみ復号することができる。

【0154】第12の発明は、第11の発明の動き補償予測復号装置において、復号画像をフィールド内でブロック化して符号化するように構成したので、フィールド単位の動き補償が選択されている場合も参照画像を復号するのに必要なブロック数が増加せず、ハードウェアの構成が簡単になる。

【0155】第13の発明は、第11の発明の動き補償予測復号装置において、復号画像を、動き補償の最小単位であるブロックサイズと同じサイズ、または整数分の1のサイズのブロックにブロック化して符号化するように構成したので、参照画像を復号するのに必要なブロック数を最小限に抑えることができ、ハードウェアの構成が簡単になる。

【0156】第14の発明は、第11の発明の動き補償予測復号装置において、復号画像を複数画素毎にブロック化して各ブロックに直交変換を施し、この変換係数を量子化して可変長符号化するように構成したので、復号画素の圧縮率が高くなり、フレームメモリの容量を削減できる。

【0157】第15の発明は、第14の発明の動き補償予測復号装置において、直交変換としてアダマール変換を用いたので、ハードウェアの規模を小さくできる。

【0158】第16の発明は、第14の発明の動き補償予測復号装置において、各ブロックの量子化された変換係数を走査し、走査された変換係数が任意の位置からブロックの終わりまで連続して0であるとき、この連続した0をブロックの終わりを示すコードに置き換えて、可変長符号化するように構成したので、簡単なハードウェア構成で高い圧縮率を実現することができる。

【0159】第17の発明は、第14の発明の動き補償予測復号装置において、2次元のブロックの変換係数を、各成分の低次シーケンスから順に走査して可変長符号化するように構成したので、ブロックの終わりに0が連続する確率が高くなり、高い圧縮率を実現することができる。

【0160】第18の発明は、第14の発明の動き補償予測復号装置において、各変換係数に対する量子化ステップ幅を2のべき乗としたので、ハードウェア規模を小さくできる。

【0161】第19の発明は、第10の発明の動き補償予測復号装置において、復号画像を複数画素毎にブロック化し、ブロック毎に符号化してメモリに記憶するとき、Nブロック毎に符号量が既定値以下となるようにレ

ート制御を行い、Nブロック中の各ブロックの相対アドレスを記憶するように構成したので、フレームメモリの容量を削減できるだけでなく、アドレス用メモリの容量も削減できる。

【0162】第20の発明は、第19の発明の動き補償予測復号装置において、上記ブロック毎の符号化を、直交変換と量子化と可変長符号化で行うとともに、上記レート制御を、量子化器の量子化テーブルの数よりも少ない数の量子化テーブルで符号量の試算を行って量子化器で用いる量子化テーブルを決定するように構成したので、レート制御のハードウェア規模を小さくすることができる。

【0163】第21の発明による動き補償予測復号装置は、復号画像の一部を圧縮して記憶するように構成したので、フレームメモリの容量を削減することができる。

【0164】第22の発明による動き補償予測復号装置は、復号した画像のうち、参照画像となる画像は無圧縮で記憶し、参照画像とならない復号画像は圧縮して記憶するように構成したので、圧縮による歪みの蓄積を招くことなく、フレームメモリの容量を削減できる。また、無圧縮で記憶した復号画像を出力するときには圧縮・伸長を行って出力するので、圧縮して記憶された復号画像と画質を揃えることができ、均一な画質を保つことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による動き補償予測復号装置を示すブロック図である。

【図2】 実施の形態1の符号化回路を示すブロック図である。

【図3】 実施の形態1の第一のデータ伸長回路を示すブロック図である。

【図4】 実施の形態1の第二のデータ伸長回路を示すブロック図である。

【図5】 実施の形態1の直交変換回路におけるアダマール変換の行列表現と基底ベクトルを示す図である。

【図6】 実施の形態1の量子化器が備える量子化テーブルの一例を示す図である。

【図7】 実施の形態1の可変長符号器の変換係数の走査順の一例を示す図である。

【図8】 実施の形態1の可変長符号器の動作を説明するための変換係数の一例を示す図である。

【図9】 実施の形態1における変換係数の0の分布を示す概念図である。

【図10】 実施の形態1のアドレス演算回路の動作を説明するための、指定された画像の領域とブロックの関係を示す図である。

【図11】 実施の形態1の直交変換回路における他の行列表現を示す図である。

【図12】 この発明の実施の形態2における1マクロブロックの構成を示す図である。

【図 13】 この発明の実施の形態 5 によるデータ圧縮回路を示すブロック図である。

【図 14】 実施の形態 5 の量子化器が備える量子化テーブルの一例を示す図である。

【図15】 実施の形態5における量子化テーブルの番号と符号量の関係を示す概念図である。

【図 16】 この発明の実施の形態 6 によるデータ圧縮回路を示すブロック図である。

【図17】 実施の形態6の量子化器が備える量子化テーブルの一例を示す図である。

【図18】 実施の形態6の変長符号器が用いるハフマン符号の一例を示す図である。

【図 19】 実施の形態 6 における第 2 の量子化テーブルの予測発生符号量と実際の発生符号量の関係の実測データを示す図である。

【図 20】 実施の形態 6 における第 4 の量子化テーブルの予測発生符号量と実際の発生符号量の関係の実測データを示す図である。

【図 21】 実施の形態 6 における第 6 の量子化テーブルの予測発生符号量と実際の発生符号量の関係の実測データを示す図である。

【図 22】 この発明の実施の形態 8 による動き補償予測復号装置を示すブロック図である。

【図 23】 実施の形態 8 のデータ圧縮回路を示すブロック図である。

【図 24】 この発明の実施の形態 9 による動き補償予測復号装置を示すブロック図である。

【図 25】 従来の動き補償予測符号化装置を示すブロック図である。

【図26】 従来の動き補償予測復号装置を示すブロック図である。

【図 27】 従来の動き補償予測符号化方式の概念図である。

【図 28】 従来のデータ圧縮回路を示すブロック図で 10 がある。

【図 29】 従来のデータ伸長回路を示すブロック図である。

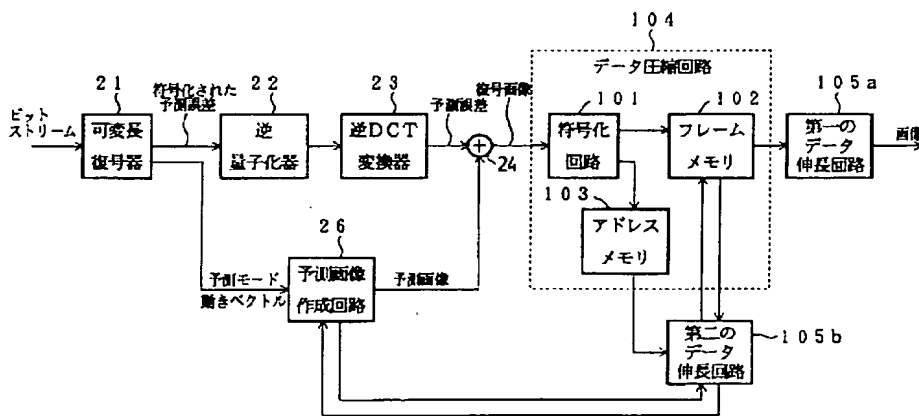
【図 30】 従来のデータ圧縮回路における可変長符号器の変換係数の走査順を示す図である。

【符号の説明】

101、101a、101b 符号化装置、102、102a フレームメモリ、103 アドレスメモリ、104、104a、104b データ圧縮回路、105a、105b データ伸長回路、201 直交変換回路、202 量子化器、203、203a、203b レート制御回路、204 可変長符号器、205 アドレス作成回路、401 アドレス演算回路、1201 試算回路、1202 打ち切り回路、1501 試算回路、1502 カウンタ、1503 判定器、2201a、2201b 切替器。

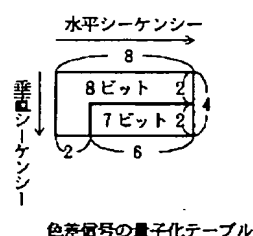
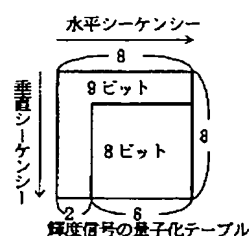
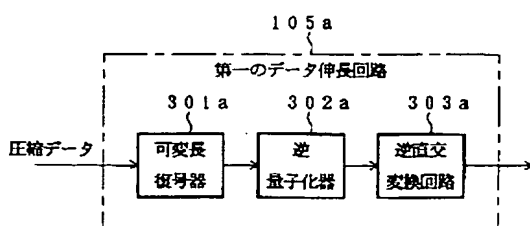
【图 1】

【图 8】

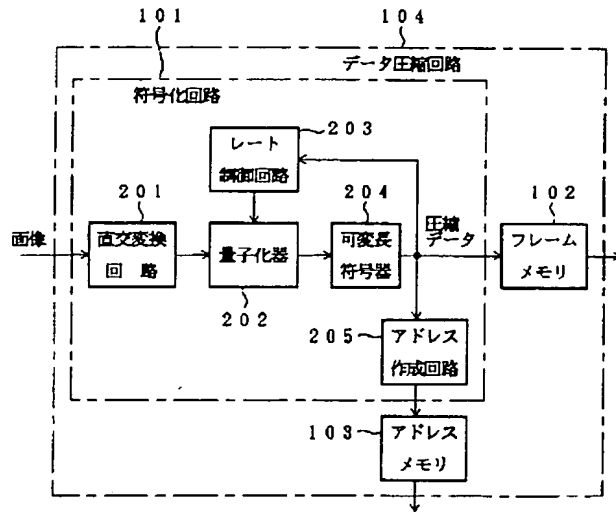


【図 3】

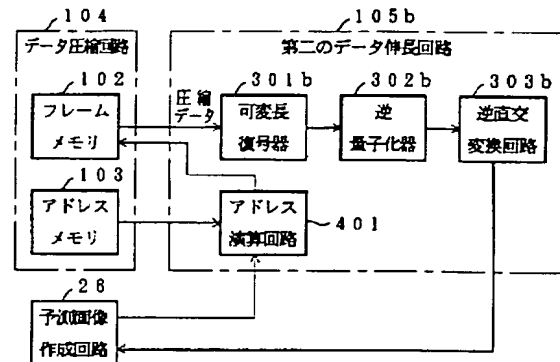
【図 6】



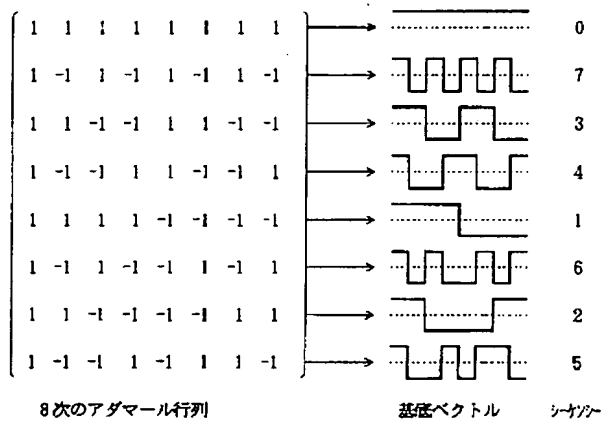
【図 2】



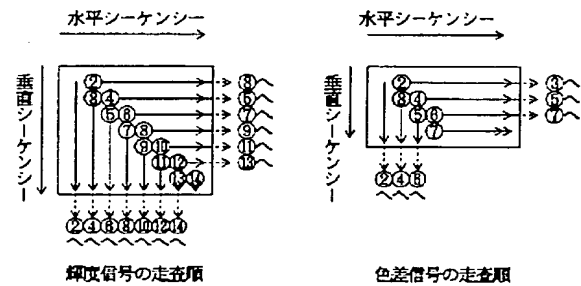
【図 4】



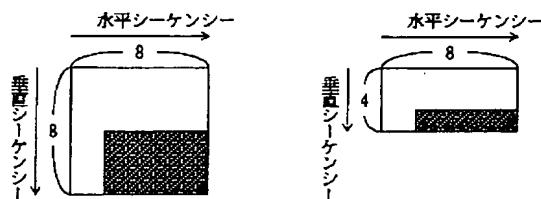
【図 5】



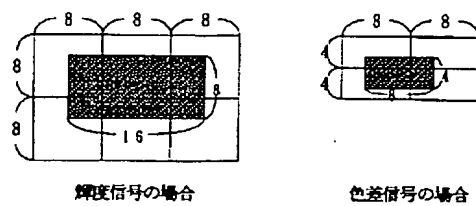
【図 7】



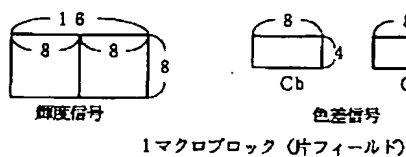
【図 9】



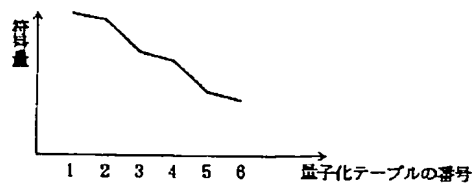
【図 10】



【図 12】



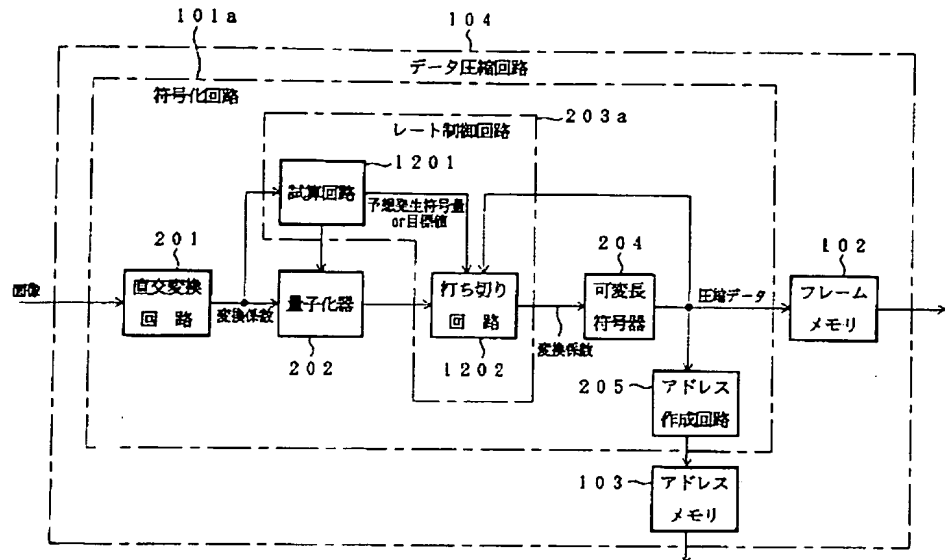
【図 15】



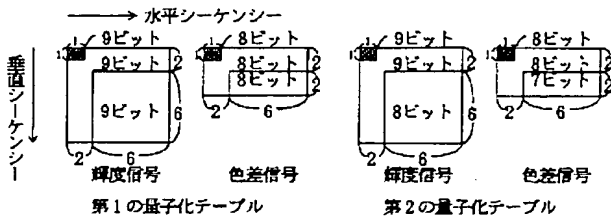
【図11】

1	1	1	1	1	1	1	1
1	1	1	1	-1	-1	-1	-1
1	1	-1	-1	-1	-1	1	1
1	1	-1	-1	1	1	-1	-1
1	-1	-1	1	1	-1	-1	1
1	-1	-1	1	-1	1	1	-1
1	-1	1	-1	-1	1	-1	1
1	-1	1	-1	1	-1	1	-1

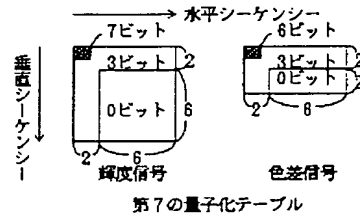
【図13】



【図14】



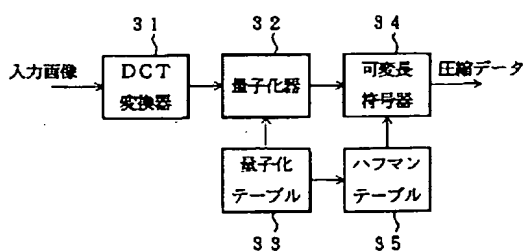
【図17】



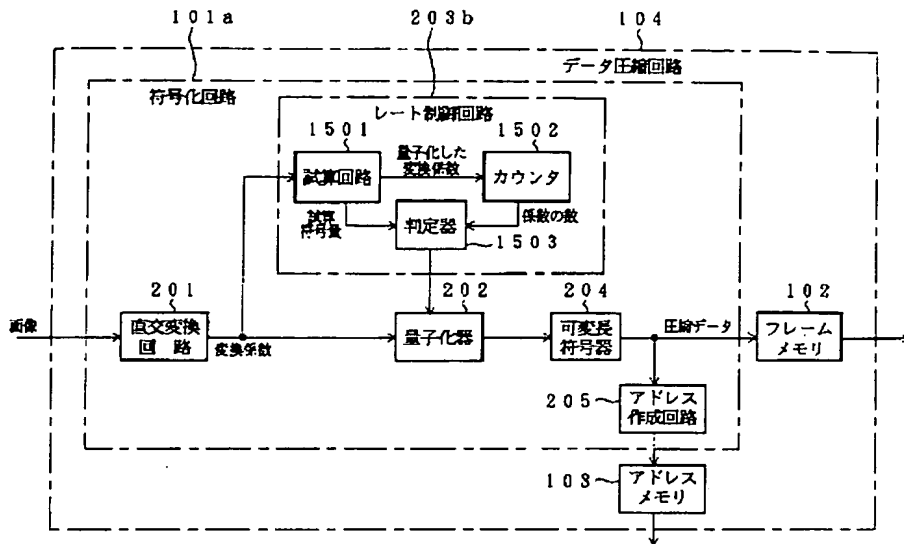
【図18】

変換係数の絶対値	ハフマン符号の長さ (ビット)
0	2
1	3
2	4
3~4	5
5~7	6
8~10	7
11~14	8
15~18	9
19~24	10
25~32	11
33~39	12
40~49	13
50~56	14
57~61	15
62~63	16
64以上	18以上
EOB	5

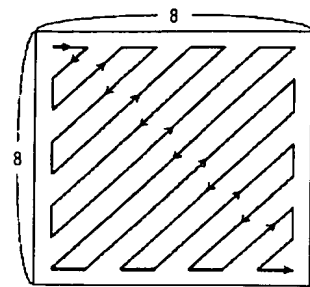
【図28】



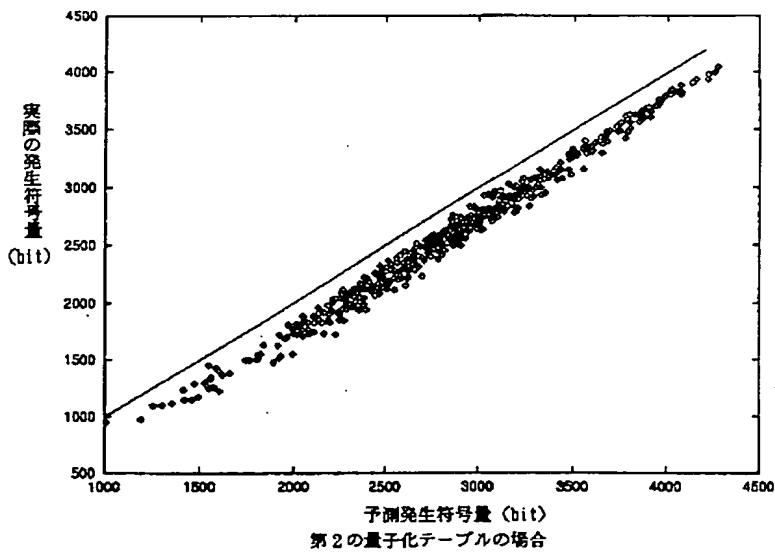
【図16】



【図30】

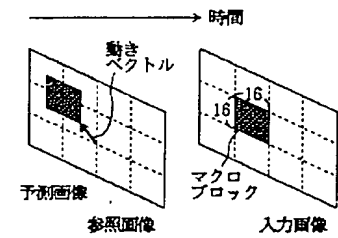


【図19】

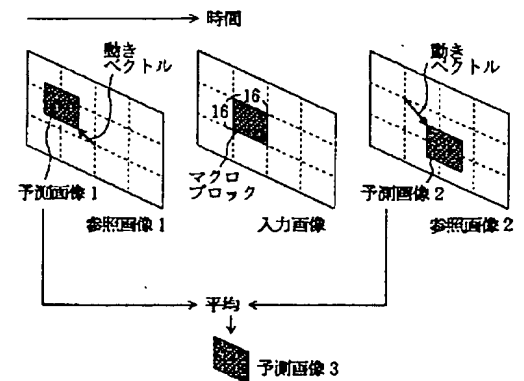


【図27】

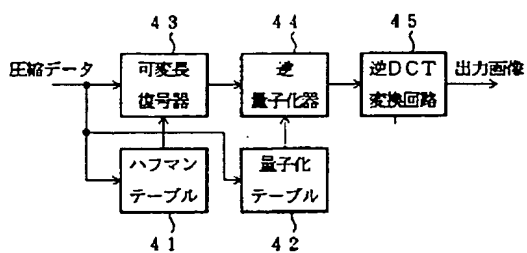
(a) 片方向予測の場合



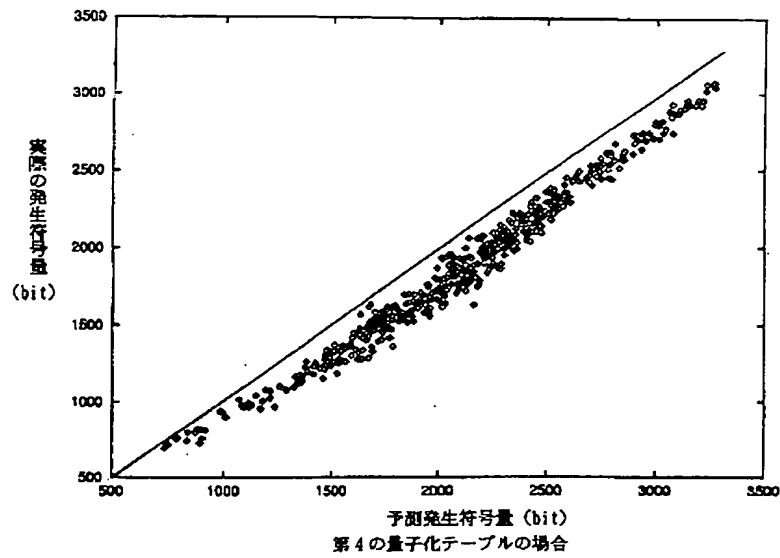
(b) 両方向予測の場合



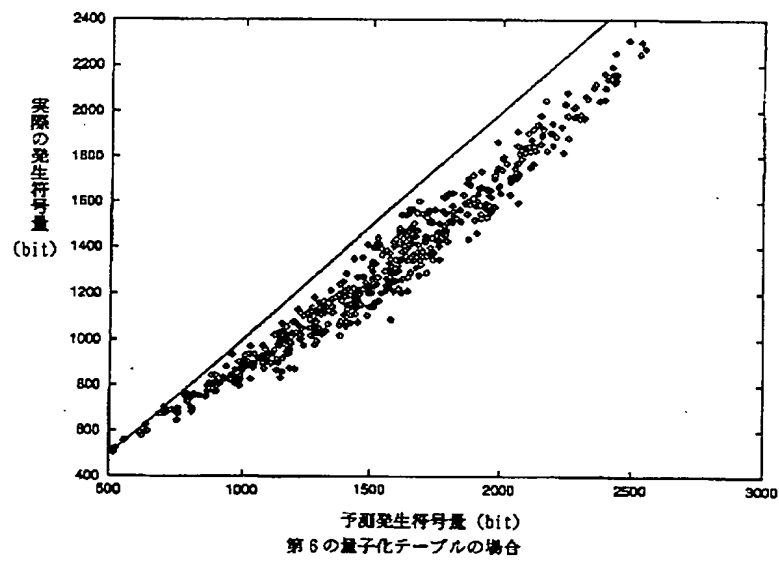
【図29】



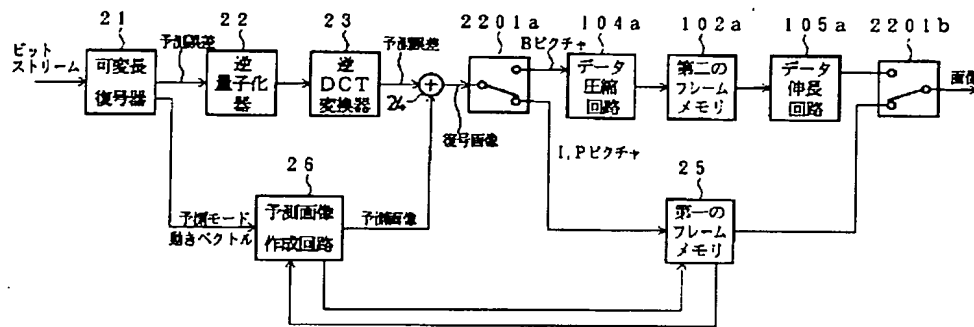
【図20】



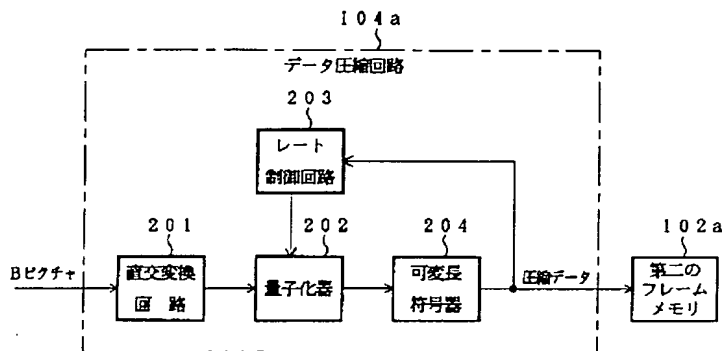
【図21】



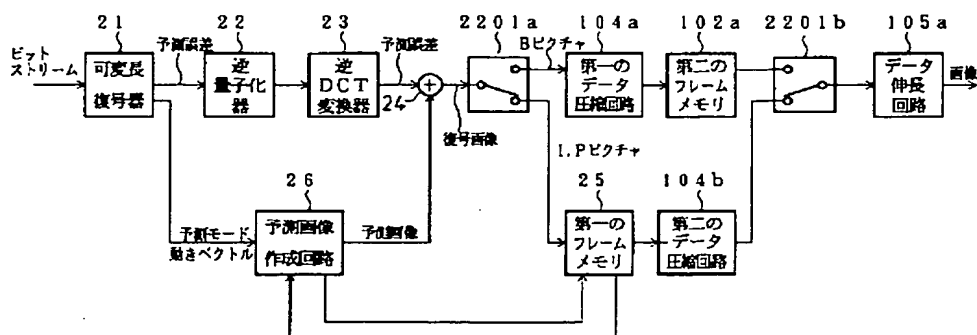
【図 22】



【図 23】



【図 24】



(72)発明者 熊野 眞
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内